

01-R 012

新情報処理技術に関する総合的調査研究

— 光技術・新デバイスWG報告書 —

平成 2 年 3 月

JIPDEC

財団法人 日本情報処理開発協会



この報告書は、日本自転車振興会から競輪収益の一部である
機械工業振興資金の補助を受けて平成元年度に実施した「新情
報処理技術に関する総合的調査研究」の成果をとりまとめたも
のであります。



序

過去30余年にわたる情報処理技術の進歩は著しく、その成果を支えに社会の情報化も急速に進展し、コンピュータは今やわれわれの社会活動にとって不可欠のものとなった。しかしながら、その利用範囲の拡大や多様化にともてい、情報処理機能の一層の高度化が求められ、特に最近では、固定化した逐次処理型の情報処理機能から、人間にとって親和性に富む、より柔軟性の高い知的情報処理機能への変革が、強く期待れるようになった。

このため、従来のコンピュータが不得手とする、人間の脳が行っているような、高度かつ多彩な情報処理の実現に向けて、必要とされる機能、計算原理および実装技術、さらには、革新的な情報処理技術と社会の係わり等を含めた総合的な調査研究を、平成元年度から開始した。

本年度は、通商産業省における新情報処理技術調査研究委員会の下部機構として、当協会に基礎技術、新機能、社会応用の3分科会および超並列・超分散処理、学習、光技術・新デバイス、3次元情報処理、認識・理解、自律・協調の6ワーキンググループを設置して調査研究を実施するとともに、大学・研究所への研究委託、海外調査等により、21世紀を目指す革新的な情報処理技術がいかにあるべきかを、ニーズ、シーズの両面から追求し新しいナショナルプロジェクトとしての可能性を検討した。

最後に、本調査研究に多大のご協力を頂いた各分科会およびワーキンググループ委員各位に厚く御礼申し上げる次第である。

平成2年3月

「光技術・新デバイスWG」委員名簿

(順不同)

	氏 名	役 職
主査	神谷 武志	東京大学工学部電子工学科教授
幹事	矢嶋 弘義	工業技術院電子技術総合研究所 光技術部 光情報研究室長
幹事	久間 和生	三菱電機(株)中央研究所 量子エレクトロニクス研究部第1グループマネージャー
委員	相澤 益男	東京工業大学工学部 生物工学科教授
	荒井 邦晴	三菱化成(株) 総合研究所 エンジニアリング開発室研究員
	茨木 晃	三洋電機(株)研究開発本部半導体研究所 半導体基礎研究部主任研究員
	岡部 洋一	東京大学工学部電子工学科教授
	上條 健	沖電気工業(株)半導体技術研究所 光デバイス研究部半導体レーザー研究室研究主任
	坂本 統徳	工業技術院電子技術総合研究所 電子デバイス部微構造エレクトロニクス研究室長
	高森 晃	松下電器産業(株) 半導体研究センター 光半導体研究所研究員

〔協力者〕 麻生 英樹 工業技術院電子技術総合研究所
情報科学部情報数理研究室研究員

一岡 芳樹 大阪大学工学部応用物理学教授

島田 俊夫 工業技術院電子技術総合研究所
情報アーキテクチャ部計算機方式研究室長

目 次

1. 序文	1
2. 調査検討経過	3
3. 情報処理技術の動向と展望	5
3.1 情報処理と要素技術	5
3.1.1 新しい情報処理システムに期待されているもの	5
3.1.2 新世代の情報処理デバイスのイメージ	5
3.1.3 新デバイスのリソース	6
3.2 デバイス技術の動向	6
3.2.1 Si-LSIの限界と新デバイス技術	6
3.2.2 超高速・超並列デバイス	8
3.2.3 新機能デバイス	11
3.3 新しい情報処理	12
4. 新情報処理と要素技術	17
4.1 光技術	17
4.1.1 情報媒体としての光	17
4.1.2 光技術から見た新情報アーキテクチャ	18
4.1.2.1 光接続と光交換	18
4.1.2.2 超高速光演算技術	23
4.1.2.3 超並列光演算技術	24
4.1.2.4 光ニューロ演算技術	30
4.1.2.5 アーキテクチャと要素技術	37
4.1.3 要素技術	38
4.1.3.1 超高速発光・受光素子	38
4.1.3.2 ウェハスケール集積とヘテロエピタキシン技術	43
4.1.3.3 並列処理用光デバイスと新情報処理	47

4.1.3.4	量子効果光デバイスと新情報処理	58
4.1.3.5	光新現象と新情報処理	66
4.2	電子デバイス	70
4.2.1	電子デバイスと新情報処理	70
4.2.2	Si-LSIニューロチップ	72
4.2.3	三次元回路素子	75
4.2.4	量子効果デバイス	81
4.2.5	超伝導計算機と要素技術	86
4.3	分子・バイオとインテリジェントセンサ	88
4.3.1	分子・バイオ素子と新情報処理	88
4.3.2	バイオセンサ	93
5.	提言	97

1. 序 文

1. 序 文

情報化社会の進展に伴い、従来の情報処理概念に捕われない新たな情報処理技術へのニーズが急速に拡大している。そこでは多量の情報を高速に、あるいは同時的に、しかも柔軟に処理するハードウェア技術が要求される。

しかしながら、シリコンをベースとする現在の電子技術ではその要求に十分対応できないことが予測され、新たな技術的ブレークスルーを求める機運が高まりつつある。

光は情報媒体としての大容量性や、電子よりも柔軟な情報伝達の可能性から、新しい情報処理への応用が早くから期待されていた。その動きは単に電子計算機の弱点である情報の流れを光で置き換えるだけでなく、最近では情報処理機能をも光で実現しようとする研究が活発になりつつある。電子技術の分野では、新しい物性的知見の発見とともに従来からのシリコン技術のカテゴリに属さない、新たなデバイスコンセプトを模索する動きが始まっている。また、高度な情報処理機能を生物モデルに求める観点から、分子デバイス、バイオデバイスにその技術的ブレークスルーを期待する動きがある。

本WGでは、新情報処理技術の実現に必要な革新的ハードウェア技術について光技術、電子デバイス技術、分子・バイオ素子の3分野からその適用可能性と課題を明らかにするとともに、デバイス技術の側から見た新しい情報処理技術の実現方法を調査検討することを目的とした。各分野毎の検討課題を要約すると次のようになる。

・光技術

光の特徴を生かした逐次処理、空間並列処理、波長並列処理に必要な各種デバイスの可能性や今後の課題を明らかにし、これらを用いた光交換、光演算システムのイメージを通して光が新情報処理技術において果たしうる役割を考察する。

・電子デバイス技術

シリコン技術の現状とその限界について問題点を整理し、化合物半導体における最近の物性的知見に基づく量子効果素子、超伝導素子などの新電子デバイス技術が新情報処理技術で果たしうる役割を考察する。

・分子・バイオ素子技術

生体機能の人工的手段としての分子・バイオ機能素子の研究動向を調査するとともに、これらを利用したインテリジェントマテリアル技術、センシング技術等の新情報処理への適応性を調査する。

本報告書の構成は次のとおりである。まず次章では本WGでの調査検討の経過を述べる。3章ではデバイス側から見た情報処理技術の動向と新しい情報処理技術の可能性について概観する。4章では光技術、電子デバイス、分子・バイオ素子の各要素技術が新情報処理技術において果たしうる役割について考察する。5章では新情報処理に必要な要素技術開発に関する提言を行う。

2. 調査検討経過

2. 調査検討経過

第1回WG（平成元年9月6日）

・WGの調査計画、基本方針等に関して説明を行うとともに意見交換を行い、次回までに各委員の専門分野毎に新情報処理の実現に向けたシーズ技術についてキーワードを整理分類し、それを基にWGの調査方針を検討することにした。

第2回WG（平成元年10月9日）

・講演 「超並列デジタル計算機について」： 島田俊夫（超並列・超分散処理WG委員）

並列計算機は多数のプロセッサと多数のメモリからなり、その間の接続方法により性能が大きく変化する。また適用対象によっても得意不得意がある。現在の計算機の処理速度はメモリアクセス速度に依存している。ここではメモリアクセス速度が負担でないデータフロー型計算機を中心とする並列電子計算機の動向と問題点について調査した。

・各委員から分野毎にシーズとしてのデバイス技術に関するキーワードと調査項目に対する提案説明を行った。各委員の資料を幹事が整理して、次回さらに議論を深め、調査方針を詰めることとした。

第3回WG（平成元年10月24日）

・講演 「ニューロコンピューティング」： 麻生英樹（電子技術総合研究所）

ニューロコンピューティングは単純処理要素が多数、密結合した系のダイナミックスによる情報処理でありエネルギー関数の最小値を求めるのがホップフィールドモデルである。

・ニューロン数の増加につれてその完全結合を実現するのが困難になる。ここではパーセプトロンに始まるニューロ処理の動向とその特徴および現状での問題点を調査した。

・幹事側よりキーワードを分類整理した資料を提出し、それに基づいて議論を行った。

第4回WG（平成元年11月7日）

・講演 「並列光デジタルコンピュータ」： 一岡芳樹（大阪大学教授）

波動としての光の性質を利用した情報処理は本質的にアナログ処理であるが、計算の精度を高めるにはデジタル処理の導入が必要である。ここでは大阪大学で開発された空間符号化でデジタル処理を行う並列光デジタルコンピュータシステム OPALSを中心に並列デジ

タル光計算機の研究動向を調査した。

- ・合宿に向けて、議論の土台とする研究課題提案のフォーマットを説明した。

第5・6・7回WG（平成元年11月24～25日）（合宿）

- ・初日は超並列・超分散処理WG、3次元情報処理WGと合同で行われたプレナリセッションで話題になった10億個ニューロン集積のケーススタディや、光結合共有メモリの提案についてデバイスWGとしての検討を行うとともに、他のWGのメンバと共に新情報処理技術の在り方について意見交換を行った。

2日目はデバイス技術からの新情報処理技術へのアプローチについて、各委員が光デバイス技術、電子デバイス技術、分子・バイオ技術各々の立場から研究開発の在り方、ならびに研究開発課題について問題提起および提案を行い、議論を通じて認識を共通にするとともに、新情報処理技術調査研究委員会への中間報告書のまとめ方について議論を行った。

第8回WG（平成元年12月25日）

- ・12月に開催された基礎技術分科会について神谷主査から報告があった。
- ・情報政策企画室西村室長より21世紀情報ネットワーク社会のビジョン作りについて説明があり、意見交換を行った。
- ・これまでのWG活動を基に報告書の目次構成についてディスカッションを行った。

第9回WG（平成2年2月6日）

- ・新技術タスクフォースに出席している久間幹事からその活動状況について、各WGの調査をベースに新情報処理技術開発の必要性について提言をまとめている由、報告があった。本WGにおいてもこれを念頭に報告書をまとめることにした。
- ・報告書の構成について各委員から担当部分について概要説明を行い、検討を行った。

第10回WG（平成2年3月6日）

- ・報告書原稿について読み合せを行い、調整を行った。

3. 情報処理技術の動向と展望

3. 情報処理技術の動向と展望

3.1 情報処理と要素技術

3.1.1 新しい情報処理システムに期待されているもの

20世紀後半の先端産業の飛躍的發展は情報処理装置の革命的進歩とこれを駆使した産業技術の展開に基礎を置いていることは疑いない。次の四半世紀の情報処理システムのパラダイムを求めて基礎的な研究者や、情報処理事業の責任者は本質論的な見地から検討を開始している。

新しい情報処理システムに期待されているものは多岐にわたるが、極めて簡単に要約するならば次のようにも言い表されよう。すなわち、これまでのコンピュータの設計原理にのっとり機能を高度化していくことを考えるとハードウェア、ソフトウェアともにあまりにも複雑化しすぎてしまい、製作コストのみならず、システムの検証、保守、拡張性、ユーザビリティなどにおいて決定的な困難が発生するという本質的な危険があり、これに対して原理的に超越できる解を見い出したい、という願いがそれである。

これをもう一段具体的、かつ標語的に表現したものが「分散処理」概念であり、多種、大量の情報を処理するにあたり、中央集権的にすべての論理ステップを管理する代わりにローカルに信号処理を進め、必要に応じて周囲とコミュニケーションしながら作業していくようなマシンが期待されている。

3.1.2 新世代の情報処理デバイスのイメージ

このような一般的要請に応えるに際してこれまでのLSI技術を大きく改変するようなデバイス原理の飛躍に待つところが少なくない。新しい世代の情報処理デバイスに寄せられる期待を箇条書きにしてみると、

- (a) 並列処理に適する並列アクセス、並列出力に適合したデバイスであること、
 - (b) 素子間のフレキシブルな情報交換が容易に行えるよう、コミュニケーションの容易な素子構造、また配列方法がとられていること、
 - (c) 大規模集積化の容易な素子であること、
 - (d) 単一素子当たりの情報処理速度が高速で、かつ消費電力が小さいものであること、
- などが考えられる。

3.1.3 新デバイスのリソース

上記のニーズに応えるには対応する技術進歩がなければならない。一方これまでになされた技術進歩を振り返るとき、さらにこれ以上どこまで進歩改良の余地があるのか、という疑問が湧くのは当然である。従って新しいデバイス技術の飛躍的發展を求めるには単に在来技術の連続的改良では不十分で、どこかに革命的といえる飛躍が包含されているものでなければならない。

そのような発展の余地を秘めた技術領域を仮に新技術リソースと呼ぶことにするとそのとらえ方によって次のような概念分類が可能であろう。

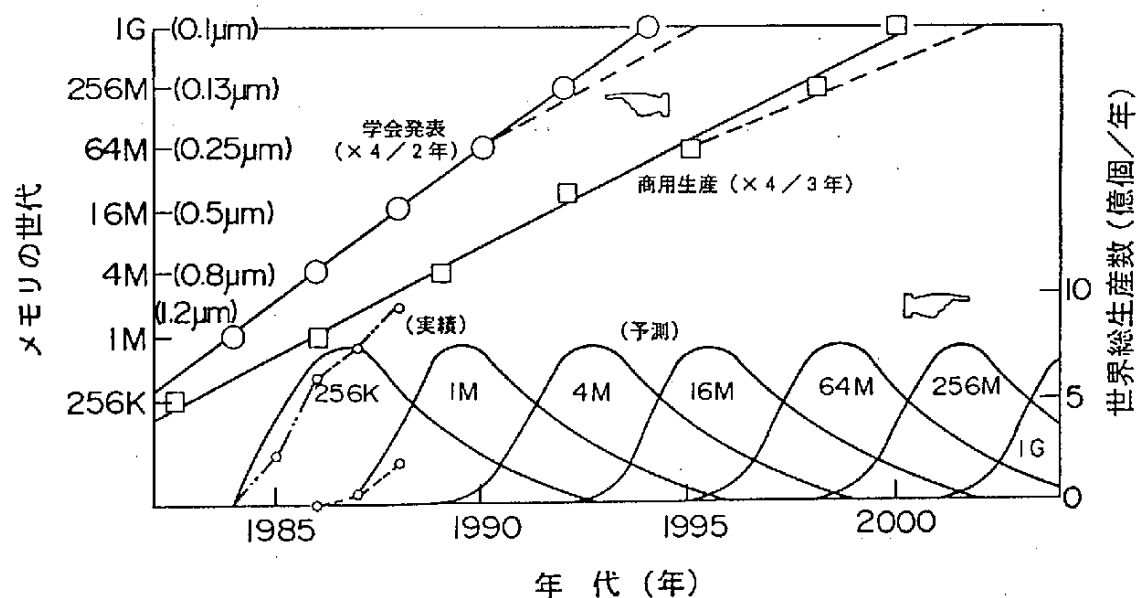
- (a) 新素材リソース
- (b) 新製造プロセスリソース
- (c) 新デバイス原理リソース
- (d) 新回路構成法リソース

(a)では従来のシリコンに加え、化合物半導体、特に量子閉じ込め構造を持つ低次元バンド構造物質、超伝導材料、有機分子素材、ことにバイオ材料など；(b)では放射光リソグラフィーに象徴される極微細構造製造技術；(c)では非線形光学材料を用いた光＝光制御素子、ホップフィールドモデルのデバイスの実現など；(d)では並列入出力可能な回路形式、超高速超並列回路構成法など、を例として挙げておく。

3.2 デバイス技術の動向

3.2.1 Si-LSI の限界と新デバイス技術

Si-LSIは著しい技術革新に支えられて、高集積化、高信頼化が実現され、コンピュータをはじめとするあらゆる電子機器に利用されている。特にメモリチップは、図表3.2-1に示す[1]ように、商用生産として3年ごとに4倍の集積度が達成され、1988年には4MビットDRAMが出現し、91年には16Mビットが完成すると予測される。さらに、2000年には、SOR露光技術等が開発され、最小線幅 $0.1\mu\text{m}$ の微細加工技術を用いたギガビットメモリが出現する可能性もある。一方、ロジックチップも集積素子数は年々増加し、現在1M素子のマイクロプロセッサが出現している。2000年には、100M素子、演算速度 100MIPSのマイクロプロセッサの実現も予測される。このように、Si-LSIの応用範囲は、今後とも一層拡大されると思われる。

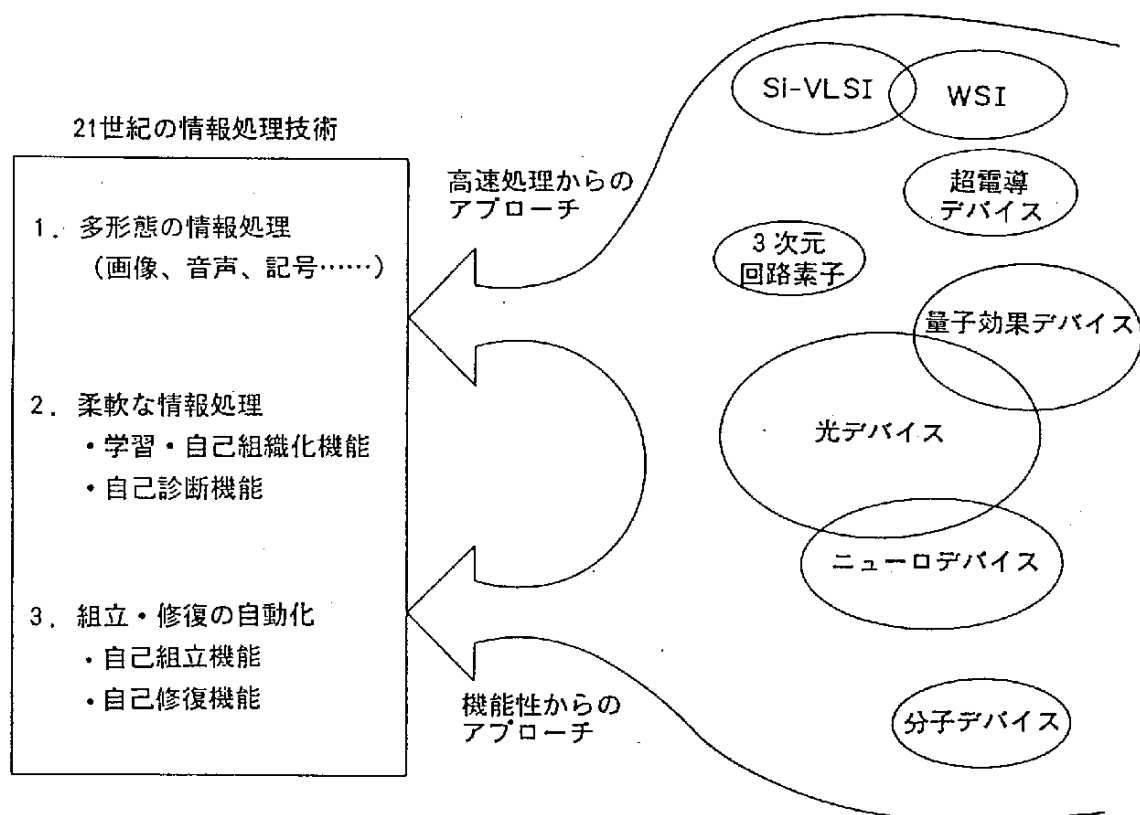


図表3.2-1 DRAM集積度の年次推移[1]

しかし、Siデバイスの高集積化、高速化がいつまでも続くわけではない。2000年以降となると、トランジスタのショートチャネル効果による微細化の限界、配線遅延や配線抵抗の増大による高速化の限界、アドレス線やデータ線の増大による配線密度の限界、発熱の問題、テスト時間の増大等の要因により、性能向上の飽和が懸念される。

一方、21世紀になると、画像、音声、記号等の多形態の情報の高速かつ柔軟な処理技術が期待される。この新しい情報処理技術を構築するには、Si-LSI技術の一層の発展に加えて、より高速の演算処理、通信処理を可能とする超高速デバイスや超並列デバイス、自己組織化、自己修復等の機能を有する新機能デバイスの開発が強く望まれる。

このような観点から、今後の開発が期待される新デバイスを図表3.2-2に示す。以下、高速・並列デバイスとして、光デバイス、電子デバイス、量子効果デバイスを、また新機能デバイスとして、ニューロデバイス、分子デバイスの現状を概観する。



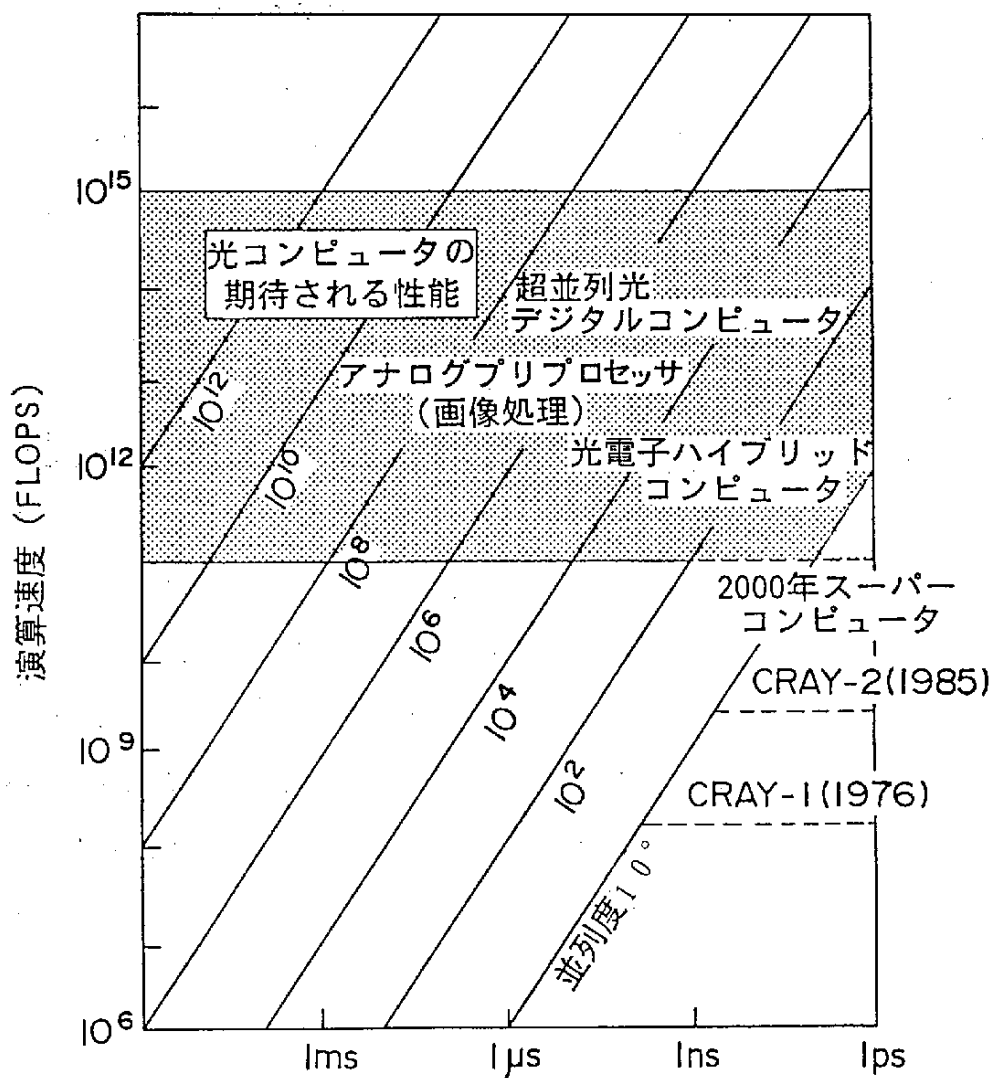
図表3.2-2 新情報処理技術と今後の開発が期待される新デバイス

3.2.2 超高速・超並列デバイス

(1) 光デバイス

光ファイバ通信、光ディスクメモリなど光技術の目覚ましい開発成果を背景に、21世紀に向けた新しい応用分野の拡大を目指した光デバイスの研究が一層活発化している。中でも、最近の一つの大きな研究の流れとして、光コンピュータや光交換機の構築を指向した光デバイスがある。これは、光デバイスの電力・遅延時間積（スイッチングエネルギー）の理論的限界値が $1 \sim 10 \text{ fJ}$ と極めて小さく、かつ空間あるいは波長領域の超並列化が可能なことによる。例えば、 1 ns のクロックサイクルで動作する並列度 $10^6 (1000 \times 1000)$ の超並列光コンピュータが実現されると、図表3.2-3 に示すように、 $10^{15} \text{ FLOPS} (1000 \text{ TFLOPS})$ もの超高速演算がなされることになる。

個別に光デバイスの最近の研究成果をあげると、超短パルス列発生半導体レーザ ($\sim 100 \text{ GHz}$)、低しきい値面発光半導体レーザ ($\sim \text{数mA}$)、半導体光スイッチの高速動作 ($\sim 10 \text{ ps}$) あるいは低エネルギー動作 ($\sim 1 \text{ pJ}$)、波長変換レーザ、ホログラフィによる高密度光インタコネクションデバイスなどがある。



図表3.2-3 並列コンピュータのクロックサイクルと演算速度の関係

光の高速性と空間または波長並列性を利用すれば、 $10^{12} \sim 10^{15}$ FLOPSの演算速度が期待される。

また、光デバイスの集積化に関しては、電子素子と半導体レーザ等の光素子を集積化する光電子集積回路(OEIC)技術が一層発展している。また、SEEDやVSTEP等の光論理デバイスや光ダイナミックメモリを集積化した平面アレイデバイス、種々の材料と方式に基づく空間光変調素子、光ニューロチップ、3次元光結合共有メモリなど、単に伝送のみならず並列性や空間伝播性を利用して情報処理の一翼を担う新しい形態のOEICの研究が盛んになりつつある。今後は、一層高性能な光デバイスの集積化技術、その基礎技術としての結晶成長、プロセス技術、デバイスシミュレーション技術の開発が必要である。

(2) 電子デバイス

プレーナ型Si-LSIの限界を打破するために、3次元回路素子やWSI(Wafer Scale Integration)などの新しい概念の集積回路の研究が盛んである。3次元回路素子では、SOI(Silicon-on-Insulator)技術を基礎として、数千素子程度のICや3～4層の積層化が可能になりつつある。イメージセンサと信号処理回路を一体化した3次元画像処理素子も、小規模ながら試作されている。一方、WSI技術も大規模なロジック、メモリ、信号処理装置を目指して研究が進められ、最近はニューロチップへの応用も報告されている。今後、3次元回路素子では大面積化、高集積化が、WSIでは高速化、高集積化が期待される。

超電導デバイスの研究も活発である。超電導の情報処理への応用は、超電導配線と超電導デバイスに分類される。チップ間配線では、Siデバイスとのインピーダンス整合技術、チップ内配線では、インピーダンス整合とプロセスの整合技術の開発が必要である。一方、超電導デバイスに関しては、低温動作(4.2K)ではあるが、低電力・遅延時間積($\sim$ fJ)が実現されている。今後、高温動作デバイスと、制御性に優れた3端子素子等の新デバイスの開発が期待される。高温超電導体としては、イットリウム系酸化物、ビスマス系化合物、タリウム系化合物の研究が盛んである。それぞれ一長一短があるが、臨界温度は液体窒素の沸点を、臨界電流も77Kで 10^8 A/cm²を超えており、集積デバイスへの応用が期待される。

(3) 量子効果素子

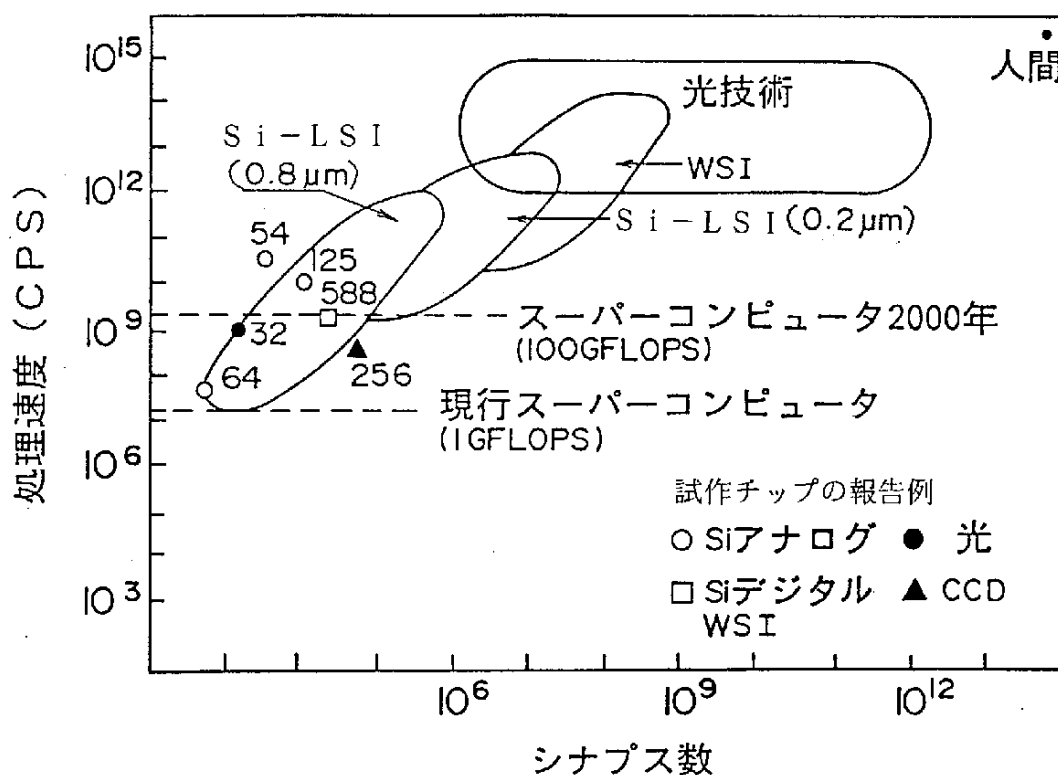
現在までに、量子効果光デバイスの分野では、低しきい値($\sim$ 0.5mA)レーザ、高速変調($\sim$ 20GHz)レーザ等で量子効果の有用性が実証されている。また、量子細線、量子箱が作製できれば、超低しきい値電流($\sim$ 10 μ A)レーザなど、画期的な光デバイスの出現が期待される。一方、電子デバイスの分野では、高電子移動度トランジスタ(HEMT)や共鳴トンネルデバイス等の高速デバイスの研究が盛んである。量子井戸中での電子波の干渉効果を用いた高速($\sim$ ps)、低電力・遅延時間積(10^{-4} fJ)のトランジスタの提案もある。今後は、量子現象の解明と、ALE(Atomic Layer Epitaxy)等の単原子層レベルの膜厚制御が可能な結晶成長技術、集束イオンビーム技術等用いた超微細加工技術の開発も重要である。

3.2.3 新機能デバイス

(1) ニューロデバイス

自己学習、自己組織化が可能なニューラルネットワークは、柔軟な情報処理を実現する新しいアーキテクチャを提供するものと期待されている。最近、高速に動作するニューラルネットワークのハードウェアの実現を目指した、ニューロデバイスの研究が盛んである。

ニューロデバイスの予測される将来性能と開発の現状を図表3.2-4に示す[3], [4]。処理速度とシナプス結合数の関係を示している。図中の数字は搭載ニューロン数である。現在までに、最大規模のニューロチップとして、256個ニューロンを搭載したアナログSi-LSI、588個ニューロンのデジタルSi-WSI等が報告されている。また、より大規模なネットワークを実現するために、ニューロン間の結合に光技術を利用する、光ニューラルネットワークの研究も盛んである。32および256ニューロンの光チップの試作例がある。電子、光方式とも処理速度は $10^7 \sim 10^{10}$ CPS(connections/sec)である。今後、大規模(1万～100万ニューロン)で、高速動作($>10^{12}$ CPS)のネットワークシステムの構築を可能とするニューロデバイスの開発が期待される。



図表3.2-4 Si-LSIおよび光ニューラルネットワークの1デバイス当たりの性能限状

参考のためスーパーコンピュータの演算速度も示してある[3], [4]。

(2) 分子デバイス

分子デバイスの特徴は、生体高分子を用いることによって、3次元高密度実装、自己組立機能、自己組織化機能、自己修復機能が可能なことである。現在までに、ある種の生体物質を用いたスイッチ素子のモデルや DNA利用大容量記憶素子（光ディスクの約3000倍の記憶容量）等の提案がある。しかし、分子デバイスの研究は始まったばかりであり、生体高分子の、情報の授受や伝達、エネルギー変換、物質輸送機構等の基礎現象の解明が必要である。またスイッチ素子等の個別のデバイスの研究と、それらの自己組立機能、自己組織化機能による集積化技術、分子素子特有の低速動作、不安定動作の解決など、多くの要素技術の研究が必要である。

〔参考文献〕

- [1] 岡, 国際ハイテクフォーラム大阪 TEXT, (1990).
- [2] DARPA, Neural Network Study (AFCEA 1988).
- [3] 岩田, サイエンス, 02, 12, 59 (1989-12).
- [4] 久間, 田井, 太田, 電子情報通信学会誌掲載予定 (1990-7).

3.3 新しい情報処理

人間とは勝手なもので、より多量の情報をより高速に処理させる方向で開発してきたコンピュータに対し、その「固さ」に対して文句をつけるようになってきた。そこで要求されてきているのが、「柔らかさ」ということになるが、これがまた人によっていろいろな意味をもって語られる。しかし、大別してみると「般化」と「学習」の二つに分類できそうである。

「般化」とは一を聞いて十を知ることである。つまり、ある入力に対し、それと近い入力を入れると、出力もそれに近いことをいう。「DIMENTION」と書いても、「DIMENSION」のことかと理解してくれるようなことをいう。このような情報処理機械には近傍の概念があり、入力と出力の間が連続的な写像になっているといえよう。

デジタル情報処理には、元来このような信号レベルの連続の概念はない。信号が1bitでも異なれば、それは全く異なる情報であり、まったく異なる出力を対応させることができる。MSBの1もLSBの1も完全に対等である。連続量では、1億円の1と1円の1は、

全く意味が異なっている。

連続の概念がもっとも素直に含まれているのは、アナログ情報処理機械であろう。アナログ機械ならば入力が少し変化したときに応答も少ししか変化しない。つまり、般化の概念が自動的に含まれている。つまり、アナログ計算機が将来の計算機の一つの方向であろう。

いまさら何故、すでにすたったアナログ計算機が持ち出されるのかという指摘もあろう。しかし、ここで主張したいのは従来のようにデジタルと正確さを競うといった側面ではなく、般化という側面で競う計算機である。したがって完全な線形性は必要とされない。自然の飽和があってよいということになる。こうしたアナログ機械は、ニューラルネットワークそのものである。つまり、ニューロコンピュータに「般化」の答が期待できることになる。

デジタル計算機にも近傍の概念を持たせることも可能である。しかし、それはあくまでもプログラマの責任において達成される。デジタル計算機の完全設計性が情報処理の分野を大きく発展させたことは事実である。しかし、この完全設計性のゆえに、可能なすべての入力に対する応答をすべて記述しておかなければならない。このことが、プログラマに大きな負担を与えることになる。

デジタル計算機の数値処理演算を使って、アナログ情報を処理させることも、もちろん可能である。少なくとも過渡的には、そうなるであろう。しかし、作るべきシステムが確定したとき、それを実現するためには、デジタルコンピュータより、専用のハードウェアの方がおそらくよいであろう。

「柔軟さ」のもう一つ概念である「学習」とは、一旦獲得した応答特性が時間と共に変化していくことである。つまり、構造のフレキシビリティである。デジタル回路でいえば、AND回路がいつのまにかOR回路に変わってしまうようなハード的な変態を意味している。いままでの情報処理機械の場合、デジタルでもアナログでも、そうした概念はほとんどなかったといってよいであろう。

学習の概念には、構造をユーザの期待の方向に変化させるという概念も含まれている。この方法には二つある。一つは「教師有り学習」と呼ばれるもので、機械の出力が誤っているときに、外部にいる教師が正しい出力を教えてやるものである。機械はその指示に従って、内部構造を変えていく。

今一つは「自己組織化」と呼ばれるものであり、機械が外部とのやりとりから、自ら自

然に正しい応答を探索し見つけていくというものである。機械の応答が誤っていると、自然界が何らかの方法で機械の応答が正しくないことを教えてくれる。自然界は正しい出力を教えてくれるのではなく、応答の正否だけを教えるだけである。あとは、機械が自分で悟って応答を変えていくのである。

本物の生物は、明かに「自己組織化」によって、正しい応答を学習する。したがって最終的な情報処理機械は、こうした機械になるだろう。残念ながら、現在までに提案されているニューラルネットワークは、こうした自己組織化によって正しい応答を学習するものはない。バックプロパゲーション(BP)法と呼ばれるものは教師あり学習によってその構造を獲得する。自己組織化学習する回路もいくつか提案されているが、その大部分は、自己組織化によって、いくつかの種類の入力間の関係を取るといった構造を獲得するようになっている。しかし、自己組織化は正しい応答の確保にはつながっていない。今後こうした自己組織化の研究が必要であろう。

自己組織化の実現法として、システム全体で自己組織の能力を持っているという考え方で、各々のニューロンがそれぞれ自己組織できるポテンシャルを持っており、それらが協調することにより、全体としても自己組織能力を有するというものである。こうした自律協調システムをシナرجェティックコンピュータあるいはホロニックコンピュータともいう。後者の場合、自己組織能力を有する最小集団である各ニューロン、あるいはニューロンの集合体をホロンといっている。こうした、自律分散システムは本質的に超分散構造をとっており、この超並列超分散構造が正に今後の情報処理機械の一つの大きな方向であろう。

このように「柔らかい」情報処理機械の目標は、最終的には自己組織化により応答特性を学習するアナログ概念を有するニューラルネットワークといって過言ではなかろう。むしろ、中間段階としてAIの手法による過渡的ないくつかのステージが考えられるし、さらにその特徴を利用した機械も考えられよう。しかし、いずれにせよ生物の情報処理方法を正確に把握することは、生物と全く異なる機械を設計することを想定しても、極めて重要なことである。

生物的な情報処理機械を議論する際、もう一つ強調しておきたいことがある。それは回路の構成法である。生物の回路には無数のフィードバックループが入っている。フィードバックループがあると、デジタル回路における順序回路のように、内部状態を有することが可能となり、記憶の概念が自然に導入される。しかし、一方で回路は不安定になりや

すくなる。このため、いままでのニューラルネットワークの研究では、フィードバックループの入っている回路はあまり検討されていない。検討されていても、安定性が確保されているものだけである。この辺も今後の研究課題の一つであろう。

当面、ニューラルネットワークのような回路を前提としても、これを実現するにはデジタル回路で構成することが中心となろう。こうした場合、各ニューロンがプロセッサ一つに対応するようなイメージが考えられる。各プロセッサは、各ニューロンの活動状態の計算のためのメモリや、結合度のためのメモリなど、比較的少量のメモリだけで済みそうである。したがって、小メモリプロセッサの超並列構成がもっとも可能性の高い構造となろう。

4. 新情報処理と要素技術

4. 新情報処理と要素技術

4.1 光技術

4.1.1 情報媒体としての光

(a) 伝送媒体としての光

光が情報媒体として優れている理由は波動としての光の広帯域性に帰着する。

例えば光(500THz)は電波(5GHz)よりも5桁周波数が高い。周波数の高い搬送波はより高い周波数での変調が可能である。もし光の周波数を5GHz毎に分割して各々に情報をのせることができれば、光は電波よりも5桁余計に情報を伝送できることになる。これを光の波長多重(並列)性という。さらに導波断面積を波長で比較すると光は電波よりも単位面積当たり10桁大きい情報伝送容量をもつことになる。これを空間多重(並列)性という。結果として光と電波の情報伝送容量の違いは図表4.1-1の体積比で示される。これが情報伝送媒体としての光の大容量性である。

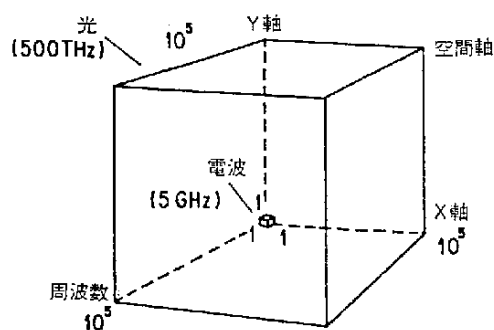
さらに、光は空間伝搬による情報伝送が可能なこと、周囲の電磁雑音による信号劣化がないこと、交差配線等の自由な配線が可能なことなど、情報媒体としての柔軟性に富む。

(b) 処理媒体としての光

光はその広帯域性の裏返しとして極短光パルス(フェムト秒)の発生が可能なことから超高速信号処理への応用が期待される。さらに空間並列性、波長並列性を生かして拡がりをもつ情報量を同時的に処理することが可能である。光の時間、空間、波長各域での独立性を利用すれば多次元情報の多次元処理が可能になる(図表4.1-2)。

情報媒体としての光の特徴をまとめると次のようになる。

伝送媒体としての光		処理媒体としての光	
a. 広帯域性	→	a. 超高速性	→
b. 空間伝搬		b. 空間並列性	
c. 無誘導性		c. 波長並列性	
d. 配線自由度			
	a. 大容量性		
	b. 柔軟性		



図表4.1-1 光と電波の情報伝送容量の比較

空間	→	2 (3) 次元並列処理
+		
波長	→	1 次元並列処理
+		
時間	→	1 次元逐次処理

図表4.1-2 多次元情報の多次元処理

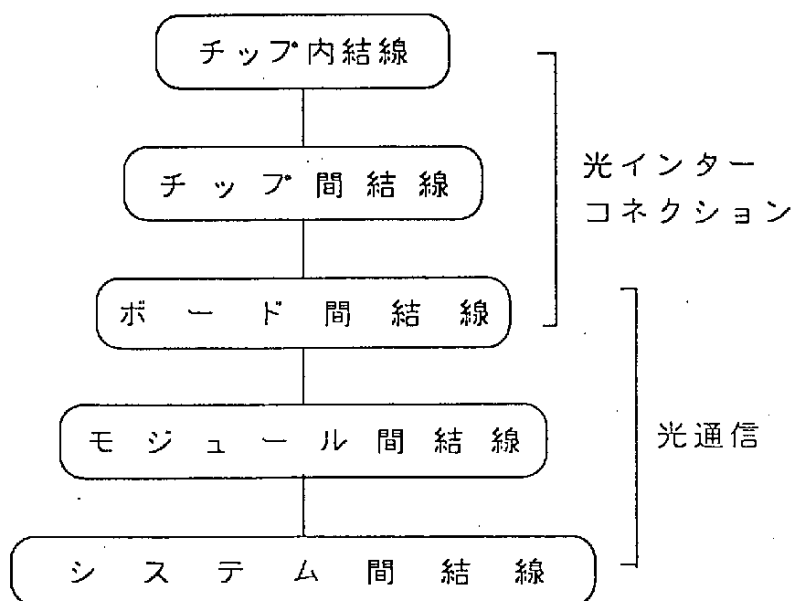
4.1.2 光技術からみた新情報アーキテクチャ

4.1.2.1 光接続と光交換（電子計算機と光接続）

電子計算機はこれまでVLSI技術の進歩に伴って高速化・高密度化の道を歩んできた。しかし、集積回路（チップ）内部だけでなく、システム間、モジュール間、ボード間、チップ間の各階層における配線量の増大と信号遅延の問題により限界に近づきつつある。

超並列分散処理システムや大規模ニューラルネットワークを考えた場合、プロセッサ間あるいはニューロン間の配線数はさらに膨大なものとなる。これらの問題を解決するために、光を用いた配線（光接続）が研究されている[1]。

ここでは、光通信としてすでに実用化されているシステム間、モジュール間配線を除き、集積化への技術的ブレークスルーを必要とする内部階層（ボード間、チップ間、チップ内）の光接続（光インタコネクション）について述べる（図表4.1-3）。



図表4.1-3 電子計算機内部の各階層における結線

(1) 光接続の特長

電氣的接続は、線路および素子の電気抵抗、静電容量、インダクタンスに支配される。現在の MOSトランジスタのスイッチング速度は 0.1nsecに達しているが、数百 μ m程度の配線による信号遅延が数nsecに達し、全体の速度を支配してしまう配線リミテッドが存在する。一方、光接続では、

- ① 配線パターンの自由度が大きい
- ② 高速である
- ③ 無誘導性（低クロストーク、低ノイズ）という特長を有し、3次元空間を利用した
並列配線

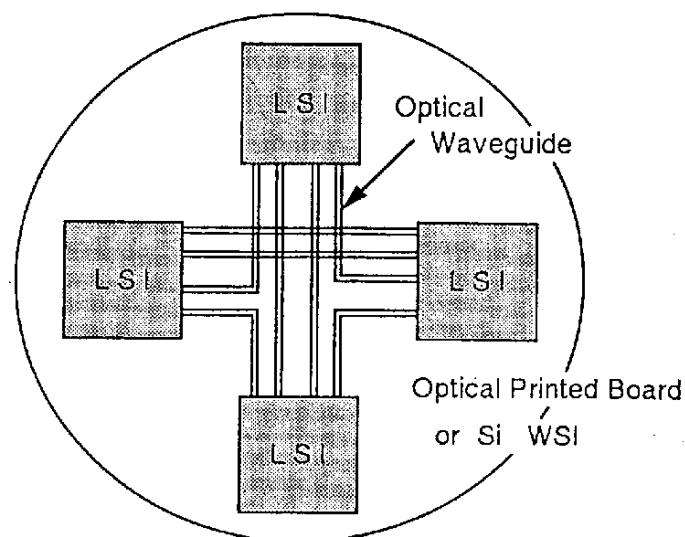
など、超並列処理システムへの応用が期待できる。

(2) 光接続

光接続には、光ファイバのような光導波路を用いる場合と自由空間を用いる場合が考えられる。

①導波路配線

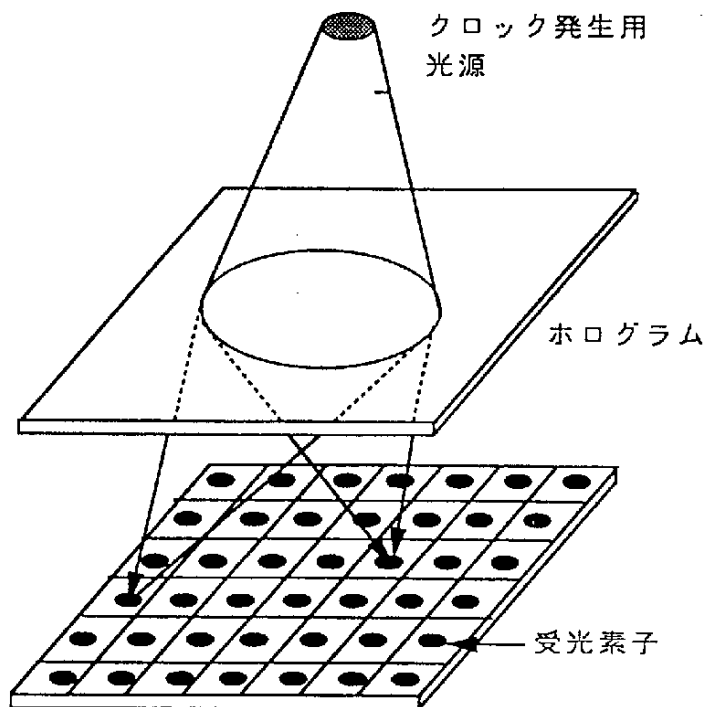
図表4.1-4のように、現在のプリント基板に代わり薄膜光導波路を多数または立体的に組み込んだ光プリント基板などが考えられる [2]。さらに、光プリント基板ではなく、大口径のSiウェハを用い、同一ウェハ上にプロセッサ、メモリなどの LSIチップと光導波路を形成したウェハスケールインテグレーション (WSI) も考えられるが、OEICやヘテロエピタキシ (例えば、GaAs on Si) などいくつかの技術的ブレークスルーが必要である。



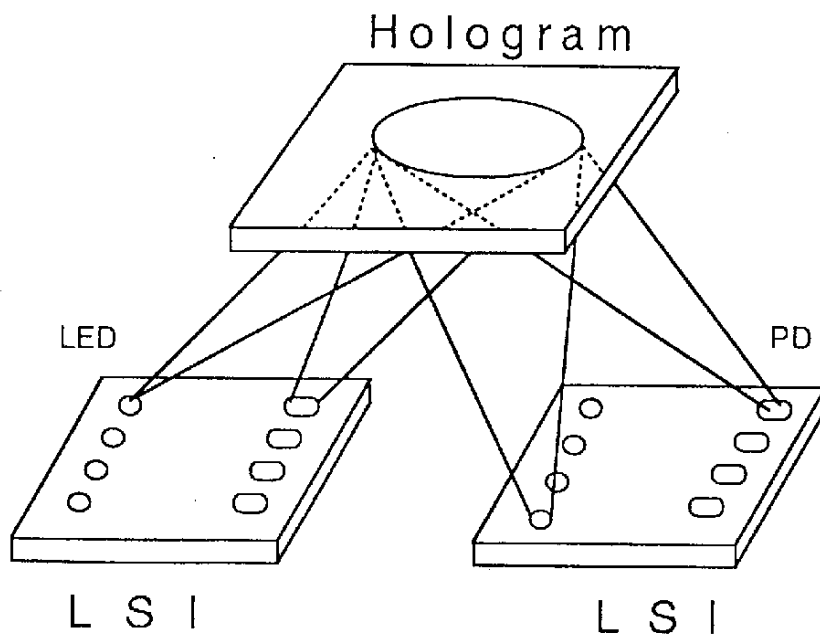
図表4.1-4 光プリント基板上で薄膜導波路によって接続されたLSIチップ[2]
光プリント基板の代わりに、Siベースのウェハスケール集積化基板で置き換えることも可能

②自由空間配線

チップ内配線の最初のステップとして図表4.1-5(a)に示すようなチップ内へのクロック分配が実験的に試みられている [3]。このようなグローバルな放送型配線部分から光接続へ置き代わるであろう。図表4.1-5 (b)は、ホログラム板による光接続の概念図である[3]。将来的には、VLSIベースのOEICの3次元的な並列接続[4] や、スタック状の WSIウェハの並列接続には欠かせない光接続方式になると考えられる。



図表4.1-5(a) 三次元空間を利用したチップ内へのクロック配分[3]



図表4.1-5(b) 三次元空間を利用したLSI間の接続[3]

導波路型でダイナミックに配線を変えるにはパーフェクトシャッフル配線[3]を用いるか、光交換器が必要である。自由空間型では、実時間で書き換え可能なホログラム材料の開発が必要である。

内部の階層の光接続を実現するには、必ず集積化が必要となる。導波路型の場合は、平面内に線路を形成するという点で従来のLSIの集積化技術がある程度参考になるかも知れないが、微小光学系の実装技術、マイクロエミッタ・ディテクタアレイ等の光素子と電子素子を集積化するための作製技術等、今後の研究が望まれる。一方、自由空間接続では、光独特のアプローチであり、そのアーキテクチャの研究から始めなければならない。

(3) 光交換

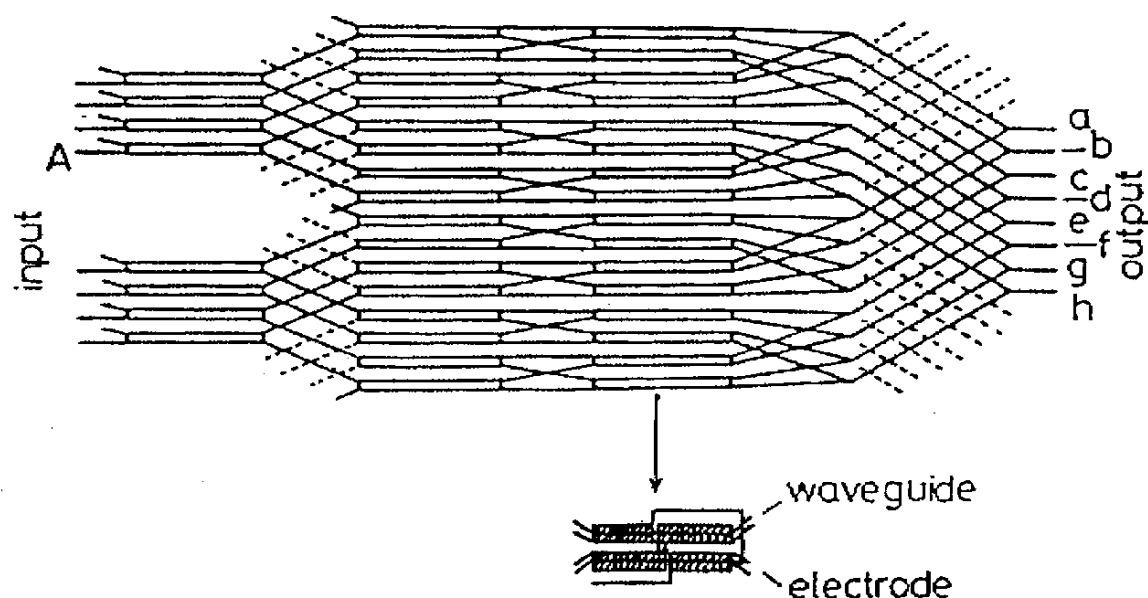
光を機能的に配線しようとする試みは、光通信分野における「光交換」における光配線の配線路としての研究分野として形成されている。その中核となるのが「光導波路技術」である。空間分割型光交換方式は、最も実現性の高い光交換技術であると共に、電氣的なプログラマブル要素を導入しての空間並列処理技術といった側面を持つ。現在、ニオブ酸リチウムを用いた 4×4 、 8×8 、 16×16 の方向性結合器型スイッチが実現しており、導波路構造型光路切り替え型光スイッチ素子として利用できる(図表4.1-6はその模式図である)。しかし、この素子を光情報処理技術に利用するためには、周辺実装技術の開発が必須となる。特に、入出力部は光通信分野においては光ファイバアレイが用いられているが、多段接続、並列接続等の要請に応えるためには、さらに小型で機能的な手法の開発が必要であり、微小光学的要素技術による光実装技術の充実が求められる。また、現在の誘電体導波路スイッチは、結合長が数mmと大きく、今後、小型化が必要である。このような要請と、電子回路や光素子とのモノリシック集積化とを実現できる半導体導波路スイッチの研究が進んでいる。

このように、導波路型光路切り替え型光スイッチ素子は、光交換器実現の近未来的要請のため研究が進み、空間並列処理の要素デバイスの道具立てができつつある。しかし、この素子を光情報処理として用いるためには、光実装技術とそれをデザインするための光情報処理方式の確立が不可欠である。

一方、光情報の特長である「波長の多重性」に対する光配線方式として「波長分割光交換技術」の利用がある。この方式では、光源として、複数の波長を設定する。このとき、絶対波長を設定するための「波長可変レーザ」と1つの波長を選択する「波長フィルタ」

が必要になる。これらは、コヒーレント光通信の局部発振光源に用いる、位相制御型DFBレーザ等の波長可変レーザでは、0.8オングストローム程度の分解能で波長選択できることが確認されている。

情報処理システムとの接続において、光配線、光交換技術は不可欠であり、その有用性はすでに述べたとおりであるが、そのための光実装技術の充実が、今後望まれる。



図表4.1-6 8×8マトリックススイッチの模式図

〔参考文献〕

- [1] 武田光夫, “光インターコネクション”, 応用物理, vol.56, 361(1987).
- [2] 林 厳雄, “光電子集積回路(OEIC)の現状と将来”, 電子情報通信学会論文誌C, Vol. J71-C, No. 5, 613(1988).
- [3] B.D. Clymer and J.W. Goodman, “Optical Clock Distribution to Silicon Chips”, Opt. Eng. vol.25, 1103(1986).
- [4] F. Kiamilev, S.C. Esener, R. Paturi, Y. Fainman, P. Mercier, C.C. Guest, and S.H. Lee, “Programmable Optoelectronic Multiprocessors and Their Comparison with Symbolic Substitution for Digital Optical Computing”, Opt. Eng. vol.28, 396 (1989).

4.1.2.2 超高速光演算技術

(1) 非線形光学材料による全光学式コンピューティングの可能性

信号処理のスピードの究極の限界は相互作用媒質の応答速度で与えられる。現在のLSI技術は半導体中の電子の運動をもとにしているので電子の走行時間が制約要因となり、1ピコ秒近辺に限界があるものとみなされている。これに対し、原子核に束縛された電子の応答速度はさらに早く、0.1ないし0.01ピコ秒の程度と見積もられている。屈折率を決めている要因は原子内電子による電気双極子モーメントであるから、これを光によって直接制御すれば電気回路的要因にも、また電子走行時間にも制約されない超高速の信号処理が行えるはずである。このことは1982年頃、ベル研究所のP.W. Smith らによって提唱され、光-光スイッチングによる(電子なしの)全光学式光コンピューティングの構想が打ち出された。「エレクトロニクスに対抗してフォトンクスと呼ぼうとの提案もあった」。

それ以来非線形光学材料の探索が極めて活発に展開され、現在までのところ、有力候補として (a)量子井戸構造に閉じ込められたエキシトンの非線形応答、(b)共役結合を有する有機非線形光学材料(ポリジアセチレン系)など、(c)半導体微粒子ドーパガラス、(d)レーザ媒質自身の非線形応答、に絞り込まれつつある。コンピュータアーキテクチャの検討はまだ初期段階であるが、一端革命的な材料が発見されたあかつきには光ファイバ通信やCMOS-LSIのように爆発的展開を示すことも十分に予想される。

(2) 光ファイバ中の非線形パルス伝搬特性を利用した超高速スイッチング

非線形光学効果が小さいことが現在までの光=光直接制御方式の欠点であるが、これを相互作用距離の増加によって補う、というのが非線形光ファイバデバイスの考えである。例えば光ファイバを用いて干渉計を構成し、これに信号光と制御光を重ねて入射することを考える。制御光のあるときとないときでは、信号光に対する屈折率がわずかに異なるとすると、制御光ありの場合となしの場合では、干渉条件が異なるために信号光が制御可能となる。

近年注目されているのが光ファイバ中のソリトン伝搬とその応用である。ソリトンとはある種の非線形微分方程式の解であり、伝搬によって波形が変化しない、という自己保存性が共通の特徴である。光ファイバに適当な波長の光パルスを入射させると、光ファイバに誘起された屈折率変化の効果と光ファイバの線形分散効果が、互いに拮抗してパルス波形の自己保存性が成り立つようになる。この特性を利用してMollenauerは光ファイバ中を

無再生で4000kmもパルスを伝搬させることに成功した。これまでのところ、この原理は超長距離光伝送の分野で注目されているが、光情報処理へのインパクトもかなり大きい。

(3) 超高速OEICによる光電子ロジック

集積度の向上と分散処理への適合性が、将来の新情報デバイスの基本要求であることを踏まえると、上記のようなプロセス技術の未開拓な新素材の代わりに、すでに相当のプロセス技術の蓄積のあるシリコンおよび化合物半導体の集積回路技術を活用した新しい情報処理ハードウェアの開拓が有望視される。

特に、ウェハへの上部からの並列アクセスの可能な光インタコネクション技術を確立すれば、光のもつ高速性と並列性の両方を活かす新しい回路方式が生まれる可能性が強い。

一つの例として並列入力とシリアル高速ディジタル処理を組み合わせた光電子論理の概念についてみてみよう。入力信号をエンコーダによって空間パターンに変換し、これをマイクロオプティックスによってウェハ上に結像させる。ここには超高速の光スイッチ、スレッシュホールド素子、発光デバイスアレイなどが並び、論理演算を10ギガビット/秒以上の速度で実行する。出力信号は光フィードバックループによってOEICチップに戻され、ループ計算の後に出力パターンとして次の演算ユニットに送られる。

このようにシリアル高速処理、および並列分散処理が共存する姿がこれからの情報処理用LSIのイメージであり、これにおいては従来のLSI技術の中に自然な形で光技術を導入することが期待できる。

4.1.2.3 超並列光演算技術

(1) 概要

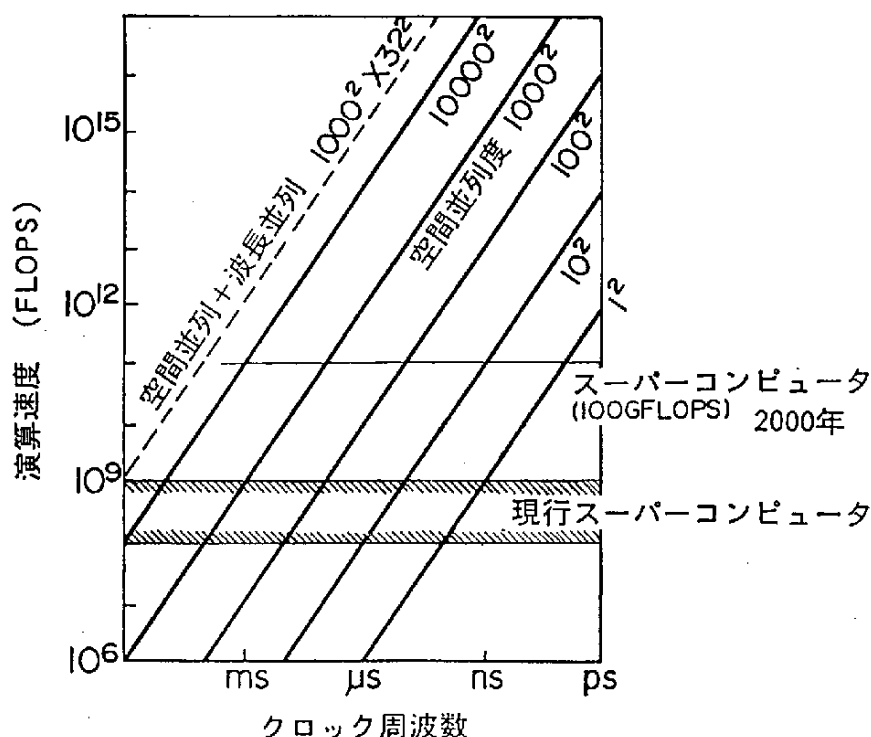
光の空間並列性を利用し、しかも空間情報のデジタル化を行い演算精度を高めた超並列光デジタルコンピュータは、

- ・超並列演算による高速化が可能で、しかも電子回路で問題となるキャパシタンスやシグナルスキューによる動作速度の低下がない、
- ・超高密度インタコネクションによるプロセッサ間的高速通信が可能なため、多数のプロセッサの協調動作による高次の情報処理が期待できる、
- ・一つの処理系で群情報、すなわちアナログ的なパターン情報とデジタル的な記号情報等の多形態の情報処理ができる、

などの特長がある。

光デジタルコンピュータの演算速度は、図表4.1-7 に示すように、クロックサイクルが $1\mu\text{s} \sim 1\text{ns}$ でも空間および波長を用いて並列度を上げることにより、 10^{12}FLOPS (1TFPOPS) $\sim 10^{15}\text{FLOPS}$ (1000TFLOPS) の高速演算が可能になることがわかる。この能力は現行のスーパーコンピュータの演算速度 $10^8 \sim 10^{10}\text{FLOPS}$ をはるかに超える。

しかし、超並列光デジタルコンピュータを実現するには、高速に動作する大規模な光スイッチ素子（光論理素子）、光記憶素子、空間変調素子、面発光レーザ等のアレイ光デバイス、光インタコネクション技術、超並列コンピュータアーキテクチャの基礎研究が必要である。



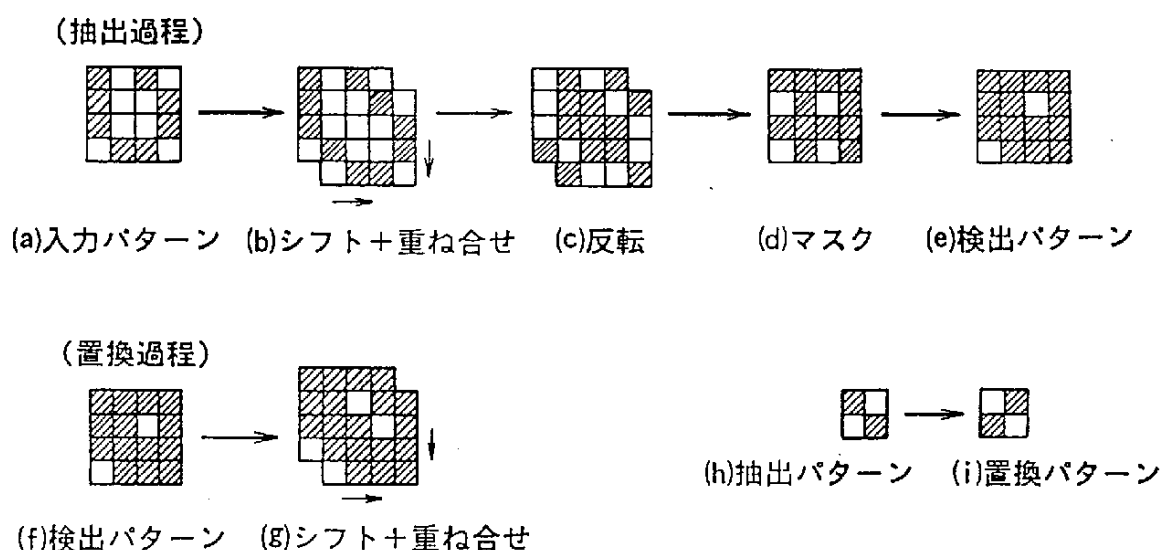
図表4.1-7 並列光デジタルコンピュータの演算速度とクロック周波数の関係
(パラメータは並列度)

(2) 光アーキテクチャの例

並列光デジタルコンピュータでは、光の偏光、位相、空間の位置等を用いて情報を符号化(0, 1の値)して並列論理演算を行う。並列光論理演算の代表的アルゴリズムとして、記号置換 (Symbolic Substitution) 法、相関演算法がある。以下、この2方式の原理とコンピュータシステム概念について述べる。

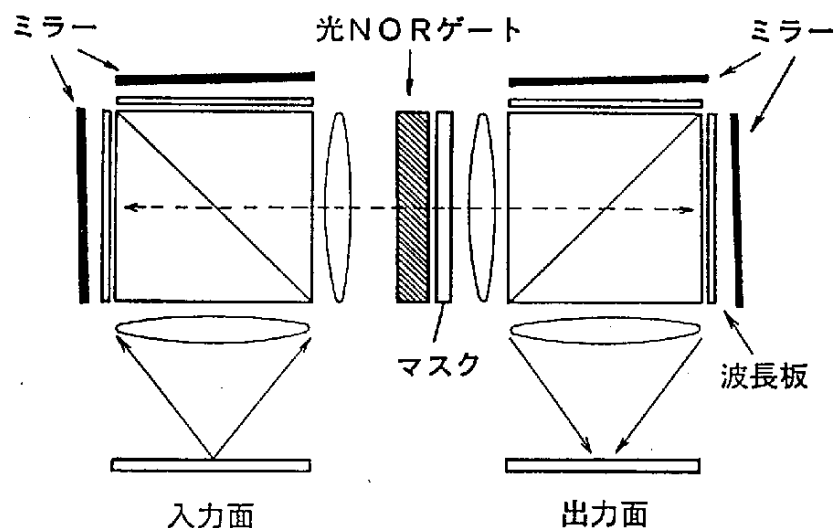
①記号置換コンピュータ

記号置換法の基本操作は、図表4.1-8 に示す[1] ように、特定パターンの抽出過程とパターンの置換過程に分けられる。パターンの抽出過程では、例えば(a)に示すような1と0からなる2次元の入力パターンの中から(h)に示す特定のパターンを探し出す。置換過程では、探し出したパターンを別に決められたパターン、例えば(i)のパターンに置き換える。このような基本動作を繰り返すことによって、すべての論理演算(AND、OR等の16種類の演算)が並列に実行できる。



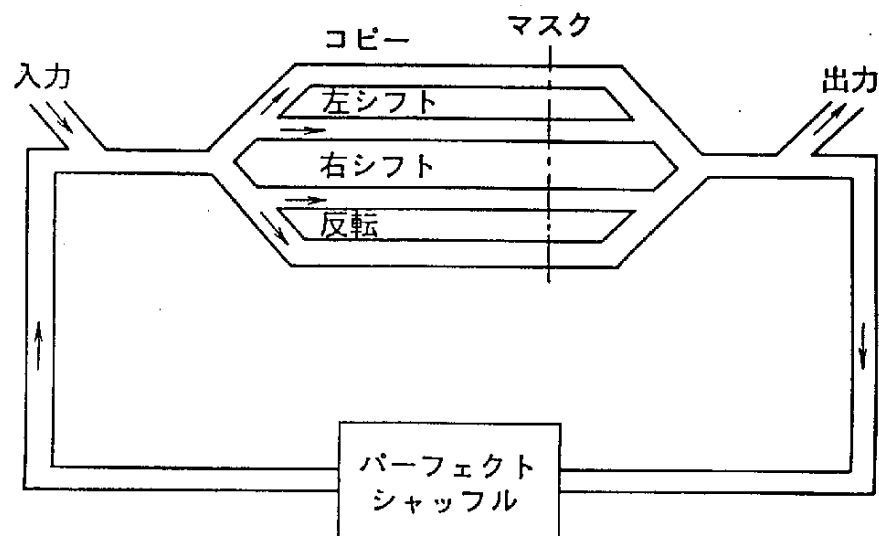
図表4.1-8 記号置換による論理演算法の基本原理([1]を参考にした)

パターンの抽出および置換は、(a)～(g)に示されているように、パターンの複製、上下、左右へのシフトと重ね合わせ、NOR ゲートによる反転、適当なマスクングによって実行できる。パターンの抽出と置換を行う光学系の構成例を図表4.1-9 に示す [2]。入力パターンの複製と重ね合わせはハーフミラーとミラーの組合せにより、上下、左右へのシフトはミラーを傾斜させることによって行われる。また、入力画像の2値化と NORゲートにはSEED(Self Electro-Optic Effect Device)等の2次元光スイッチアレイが、マスクングには光学マスクや空間光変調素子が用いられる。図において、左半分が抽出、右半分が置換の光学系である。



図表4.1-9 パターンの抽出と置換を行う光学系の構成例([2]を参考にした)

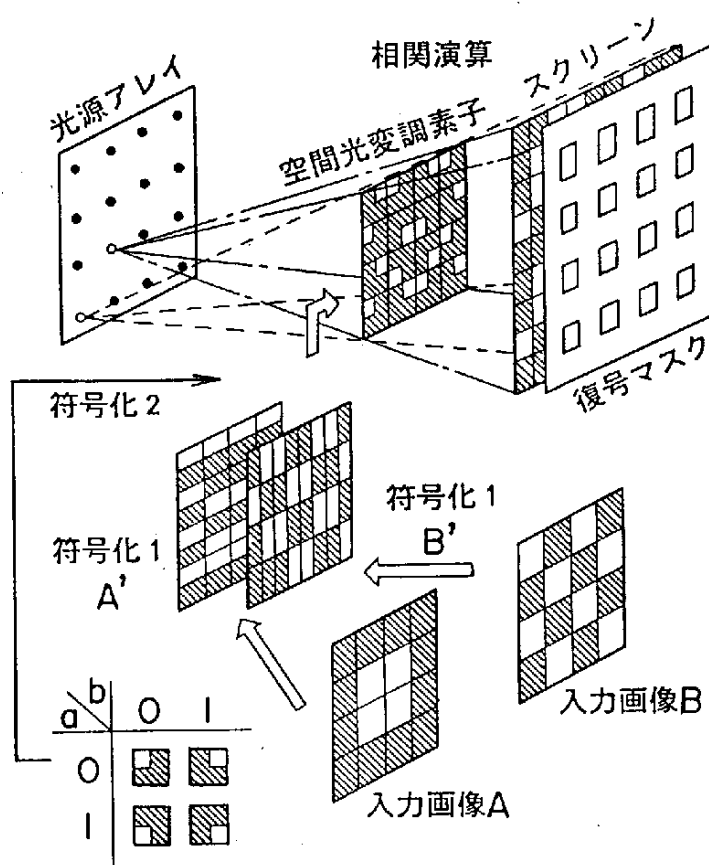
記号置換法に基づく光デジタルコンピュータの概念を図表4.1-10に示す [3]。2 値化された 2 次元の入力データを 4 つ複製して、それぞれに対して複製（そのまま）、左右へのシフト、反転演算を行う。次に空間光変調素子等を用いてマスキングを行い、重ね合わせて論理演算を行った後、パーフェクトシャッフル型の光インタコネクションを介して入力に帰還される。この時、マスキングの空間パターンがプログラミングに対応している。



図表4.1-10 記号置換光コンピュータの概念図 [3]

②相関演算コンピュータ

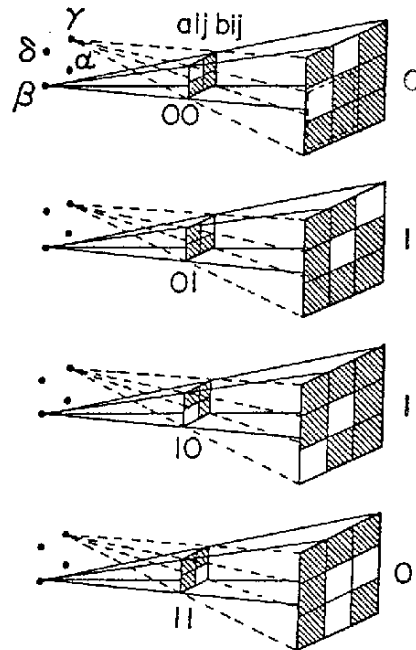
2次元相関演算による並列論理演算は、図表4.1-11に示す[4] ように、入力2値画像の符号化、符号化画像に対する相関演算、および復号化過程に分けられる。符号化過程では、2つの入力画像の対応する画素の値の組合せに従って、特定の1/4画素のみが1となるようにする。相関演算過程では、符号化された画像（空間光変調素子に提示）と光源アレイ（演算核）との相関像を求める。4個の演算核を用意しておけば、入力2画像の対応する2画素間のすべての論理演算が実行できる。さらに、それ以上の演算核を用いれば、対応画素間ばかりでなく近接画素間の論理演算もできる。光源アレイを点灯して符号化像を照射すると、スクリーン上に光源アレイの多重投影像が得られる。次に、復号化過程で、相関像を適当にマスキングすれば、並列論理演算の結果が空間パターンとして得られる。



図表4.1-11 空間相関法による論理演算の基本原理と光学系の構成例[4]

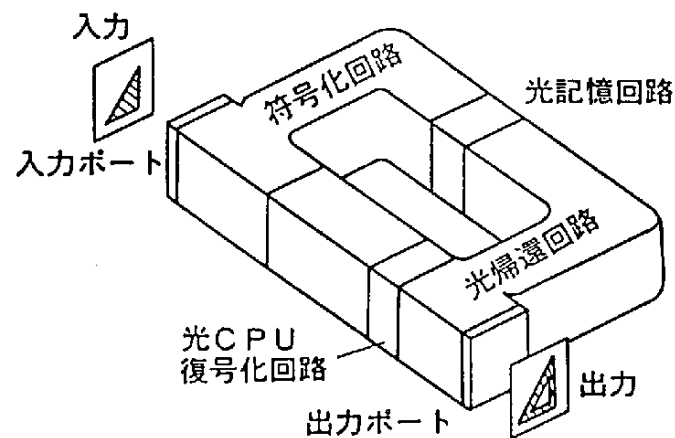
一例として、光源 β と γ を点灯して入力信号 a 、 b のXORを実行する時の原理を図表4.1-12に示す[4]。マスクにより投影像の中央区画のみを取り出せば、XORの結果得られる。

光源のアレイ 透過入力 スクリーン上の強度



図表4.1-12 空間相関法による論理演算 (XOR)の例[4]

上述した光相関法による論理演算は、理論的に電子回路で多用されているアレイロジックと等価で、アレイロジックが多数3次元空間に配列された集合体と見なせる。光相関演算コンピュータの概念図を図表4.1-13に示す[4]。符号化回路、相関光学系で構成された光CPU、複号化回路、および反復演算のための光帰還回路で構成される。中間処理画像は、複号化回路を通った後光記憶回路で一時記憶され、必要に応じて再度符号化回路に帰還される。この時、信号の帰還に伴って演算核の点灯の組合せをかえてプログラムを更新する。



図表4.1-13 空間相関光コンピュータの概念図[4]

上述した 2種類の超並列光デジタルコンピュータを実現するには、SEEDのような 2次元光論理素子アレイ、空間光変調素子、光インタコネクション素子の開発と、それらのモジュール化あるいは集積化が不可欠である。例えば、 10^{14} FLOPS (100 TFLOPS)の演算速度を達成するには、応答速度 ~ 10 ns、素子数 1000×1000 の 2次元光論理素子アレイ、空間光変調素子、光記憶素子アレイの開発が必要である。また、上記アーキテクチャは、主として画像処理を指向したものであるが、多形態の入力情報を柔軟に処理する光コンピュータアーキテクチャの研究も重要である。

〔参考文献〕

- [1] K. Brenner, A. Huang, and N. Streibl, Appl. Opt., 25, 18, 3054(1986).
- [2] K. Brenner, Appl. Opt., 25, 3061 (1986).
- [3] M. J. Murdocca, and N. Streibl, Tech. Dig. Topical Meeting on Optical Computing, Nevada, 9(1987).
- [4] 辻内, 一岡, 峯本, 光情報処理, オーム社, (1989).

4.1.2.4 光ニューロ演算技術

(1) 概要

多形態の群情報を柔軟に処理する新しい技術としてニューラルネットワークが期待されている。ニューラルネットワークは、ニューロンと呼ばれる多数の要素とそれらを結合するアナログの重みを持つシナプスで構成される。大規模かつ高速に動作するニューラルネットワークの開発には、膨大な数のニューロン間シナプス結合（ベクトル／行列の積和演算）の構成法と、シナプス結合やニューロンの非線形しきい値処理を行うアナログ素子の開発が必要である。

光ニューラルネットワークの特徴は、

- 空間光変調素子のような光デバイスを用いた 3次元光配線技術によって、膨大な数のニューロン間配線の実現が可能なこと、
- ホログラムや光ディスクのような大容量メモリをシナプス素子に用いれば、大規模なネットワークの実現が可能なこと、
- 光技術特有の種々の多重化技術を適用すれば、さらにネットワークの大規模化が可能なこと、

・光は本質的に信号間干渉が小さく、かつ超高速処理が期待できること、
等である。

光ニューラルネットワークの演算速度は、アーキテクチャにも依存するが、 10^{12} CPS (connections/sec) 以上が期待される。以下、代表的な光アーキテクチャについて述べる。

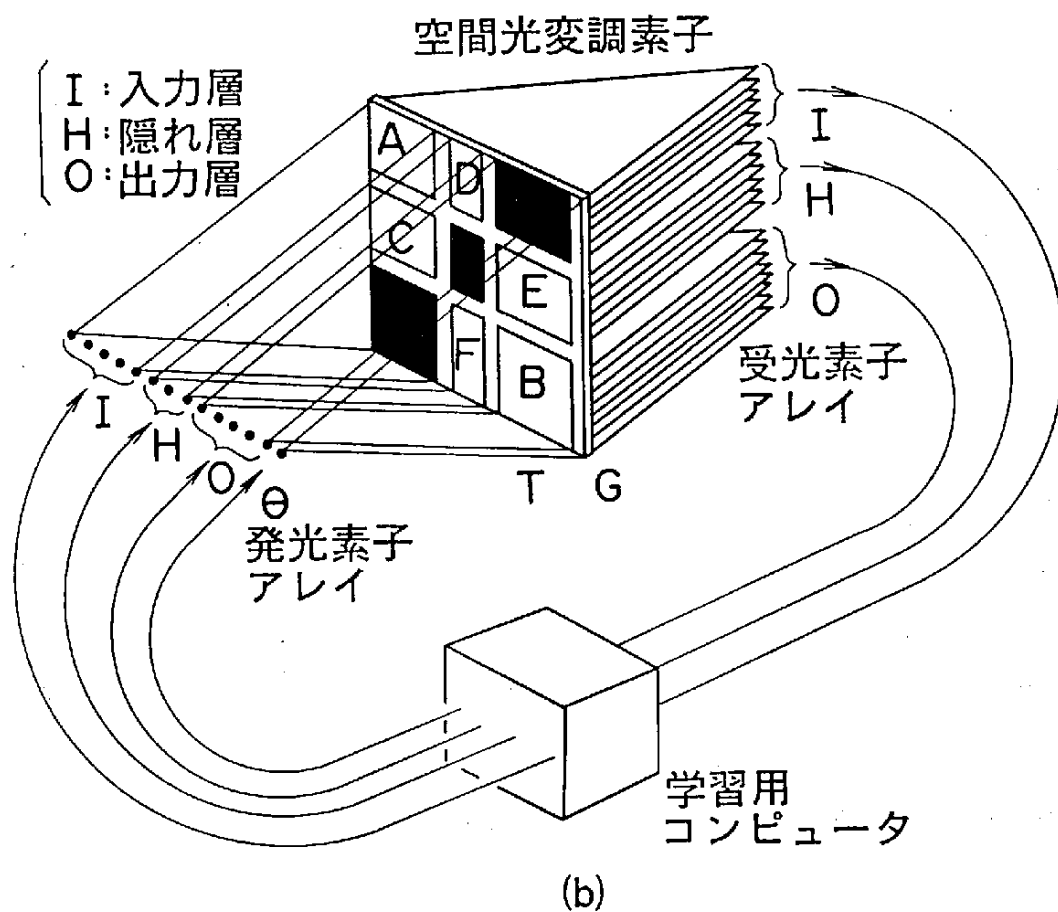
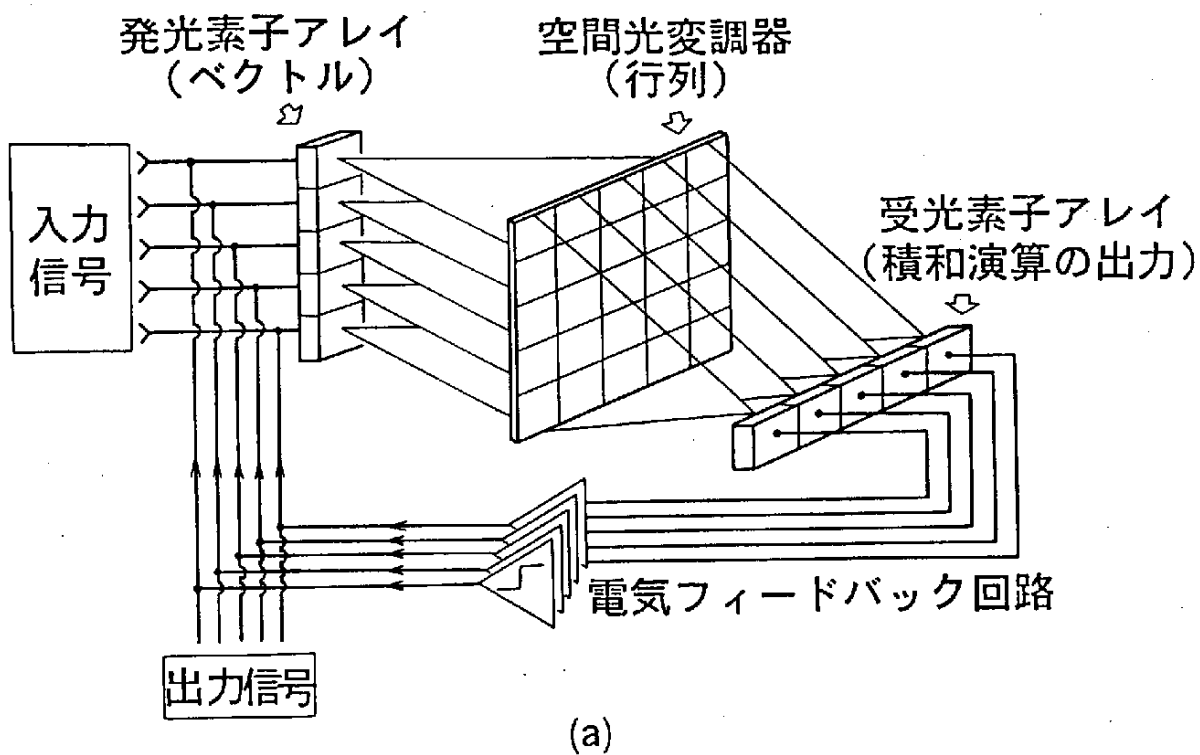
(2) 光ニューラルネットワークのアーキテクチャ

①構成例1（発光素子アレイ、空間光変調素子、受光素子アレイの利用）

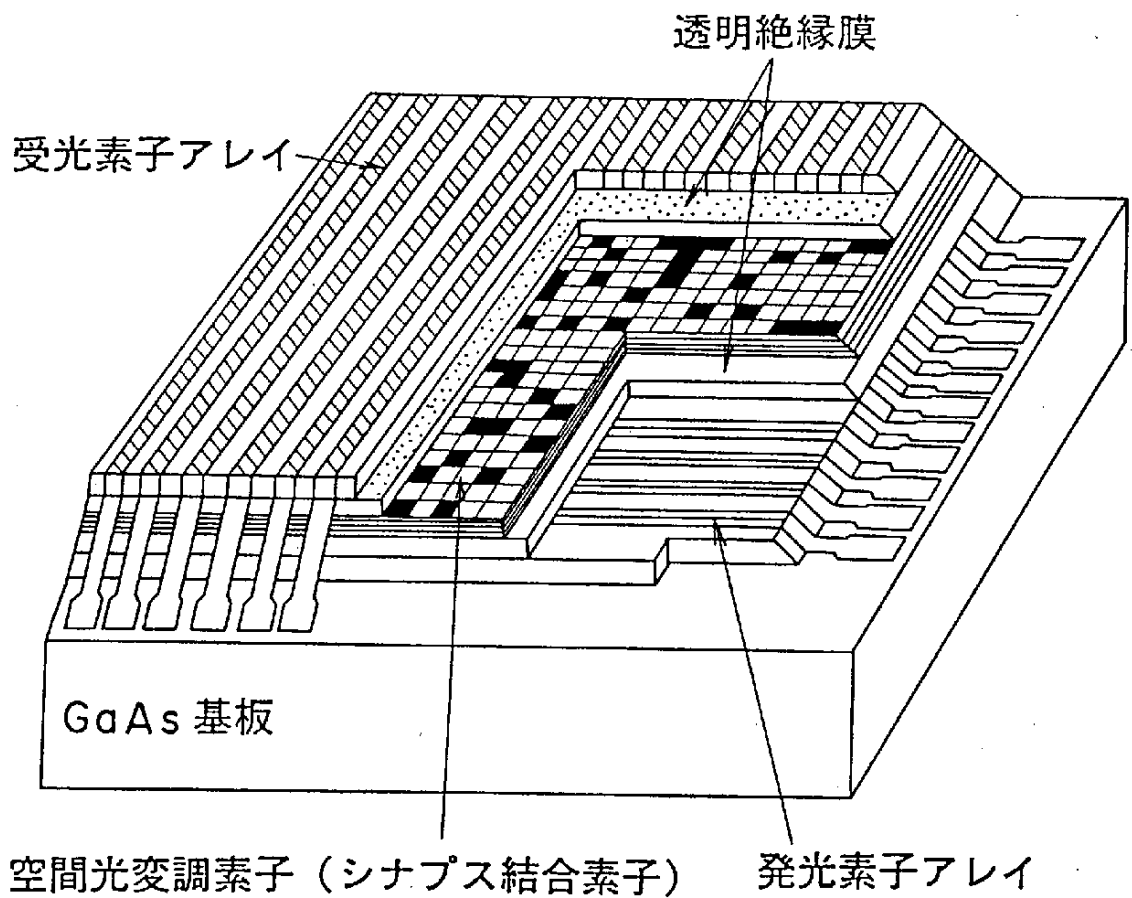
発光素子アレイ、空間光変調素子、および受光素子アレイからなる光行列／ベクトル乗算器に基づく光電子ニューラルネットワークの概念を図表4.1-14(a)(b)に示す [1]。(a) 図はフィードバック型、(b) 図はフィードフォワード型ネットワークである。発光素子の点滅がニューロンの興奮状態に、空間光変調素子の透過率がシナプス結合強度に対応する。本方式では、ベクトル／行列の積和演算を光学的に行い、ニューロンの非線形しきい値処理を電子素子で行う。本方式の特徴は、積和演算が光学的に並列に実行されることである。例えば、 $1000 \times 1000 = 10^6$ 個の成分の行列を仮定して、発光素子を10MHzで駆動すると、1秒間に 10^{13} (10Tera) CPS の演算がなされる。

(a) 図において、空間変調素子に相関行列を記憶しておけば、連想メモリや最適化問題に適用できる。一方、(b) 図では、発光素子アレイ、受光素子アレイ、空間変調素子で表現される行列を部分ベクトル、部分行列に分けて、フィードフォワード型ネットワークが構成できることを示している。このシステムは、光の並列性を利用して、学習に長時間要するボルツマンマシンや、多重化技術を必要とする2次元連想メモリへの応用が期待される。

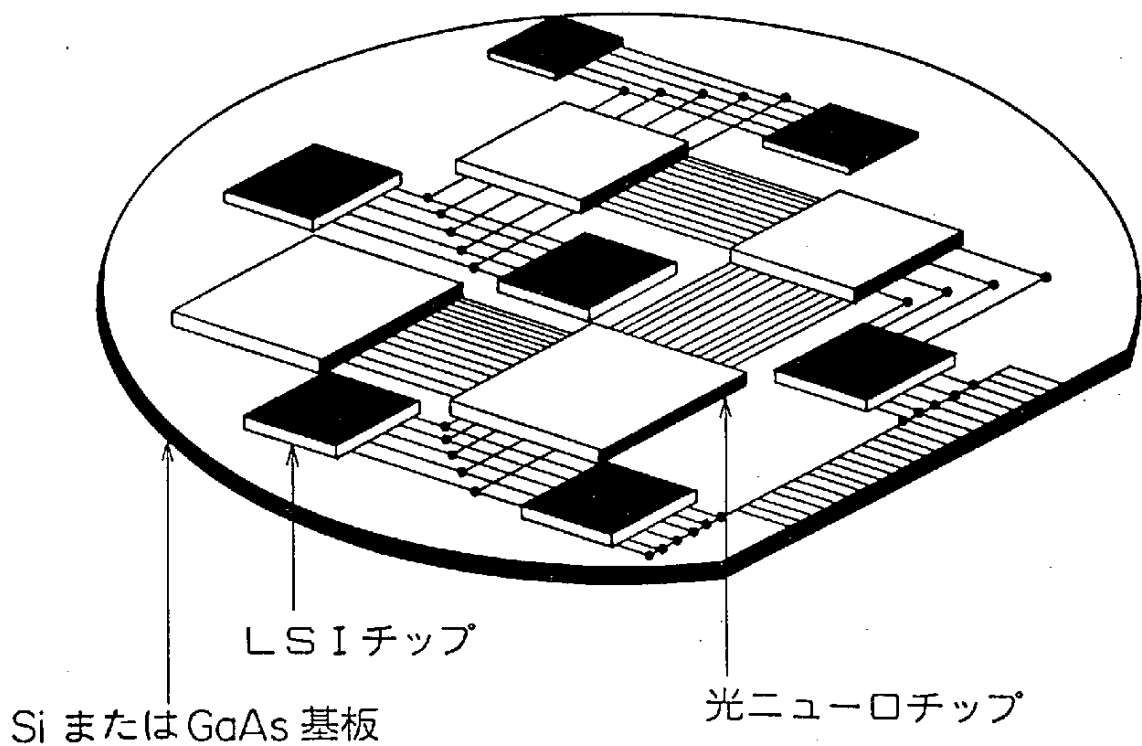
本方式のもう一つの特徴は集積化が可能なことである。図表4.1-15は、図表4.1-14の光学系をGaAs基板上に層状構造に集積化した素子の概念図である [2]。現在、固定シナプス型で32ニューロン、処理速度 $\sim 10^8$ CPSのチップが報告されている。今後、光デバイス的高速化、大規模集積化、および空間変調素子を用いた書換え可能な光ニューロチップの開発が望まれる。超大規模化、超高速化の一方式として、図表4.1-16に示す [3] ように、光デバイスと電子デバイスを集積化した光電子WSIの開発等も考えられる。



図表4.1-14 光ベクトル／マトリックス乗算器を用いた光ニューラルネットワークの構成例
(a) フィードバック型 (b) フィードフォワード型([1]を参考にした)



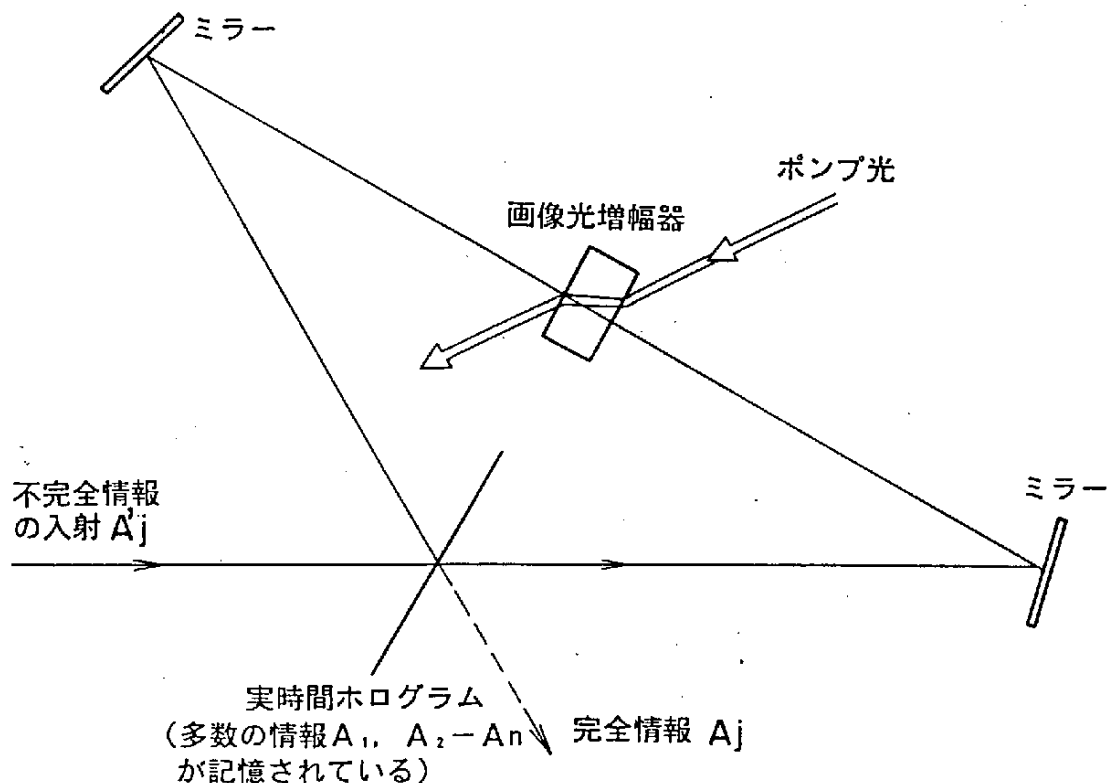
図表4.1-15 発光素子アレイ、空間光変調素子、受光素子アレイを層状構造に集積化した光ニューロチップの概念図([2]を参考にした)



図表4.1-16 光回路と電子回路の特長を融合した光電子WSI (ウェハスケールインテグレーション) の構想図[3]

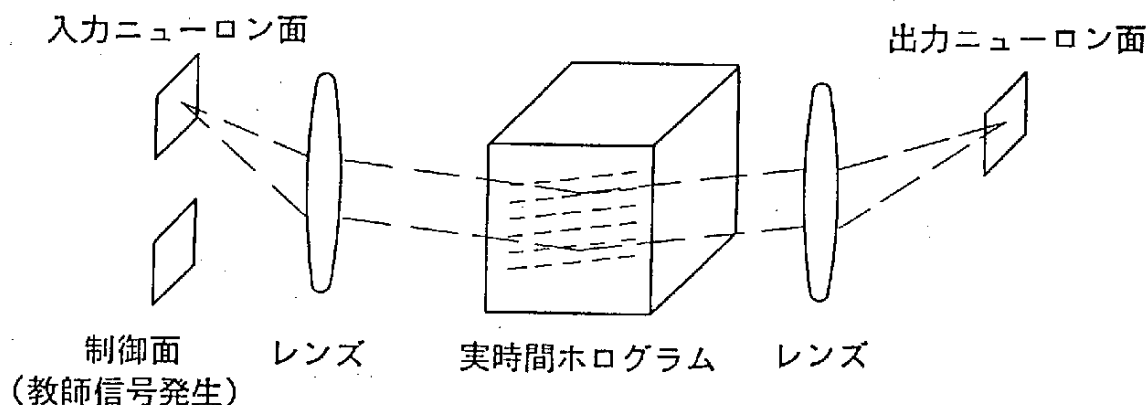
②構成例2（ホログラムの応用）

BaTiO₃等の実時間体積ホログラム材料を、シナプス結合素子に利用できる。ホログラムの中に形成される回折格子を一つのシナプス素子に対応させると、理論的に $10^{12} \sim 10^{13}$ シナプス/cm³の大容量シナプス網を実装できる。実時間ホログラムに用いた画像連想メモリの構成例を図表4.1-17に示す[4]。この光連想メモリは、光共振器の中で生じるモード競合現象に着目したものである。実時間ホログラム（LiNbO₃結晶）には、多数の情報が多重露光されて記録されており、それぞれの情報が光共振器の固有モードに1:1に対応している。光共振器の中には、このホログラムと画像光増幅器（BaTiO₃結晶）が挿入されている。この光共振器は、外部からの入力光がない時には発振モードは不確定であるが、あるパターンの光を入射すると、画像光増幅器とホログラムの回折効率の選択性により、そのパターンに対応した固有モードで発振し、出力情報（完全情報）が得られる。この連想メモリの特徴は、最近開発が盛んな実時間体積ホログラムに利用しているので、書換え可能なこと、外界の生の画像情報を直接入力できること、画像検索時には不完全入力情報でよいこと、大容量なこと（500～2000画像）等で、将来の画像データベースへの発展が期待される。



図表4.1-17 実時間ホログラムを用いた画像連想メモリの構成例[4]

この他、実時間ホログラムを多層ニューラルネットワークのシナプス結合素子に適用することも可能である。図表4.1-18に概念図を示す [5]。適当な学習アルゴリズムを用いて、結晶内部の回折格子の3次元パターンを自己組織化するもので、理論的に100万ニューロンのネットワークを構成できる。



図表4.1-18 実時間ホログラムを用いた多層構造の光ニューラルネットワークの概念図 [5]

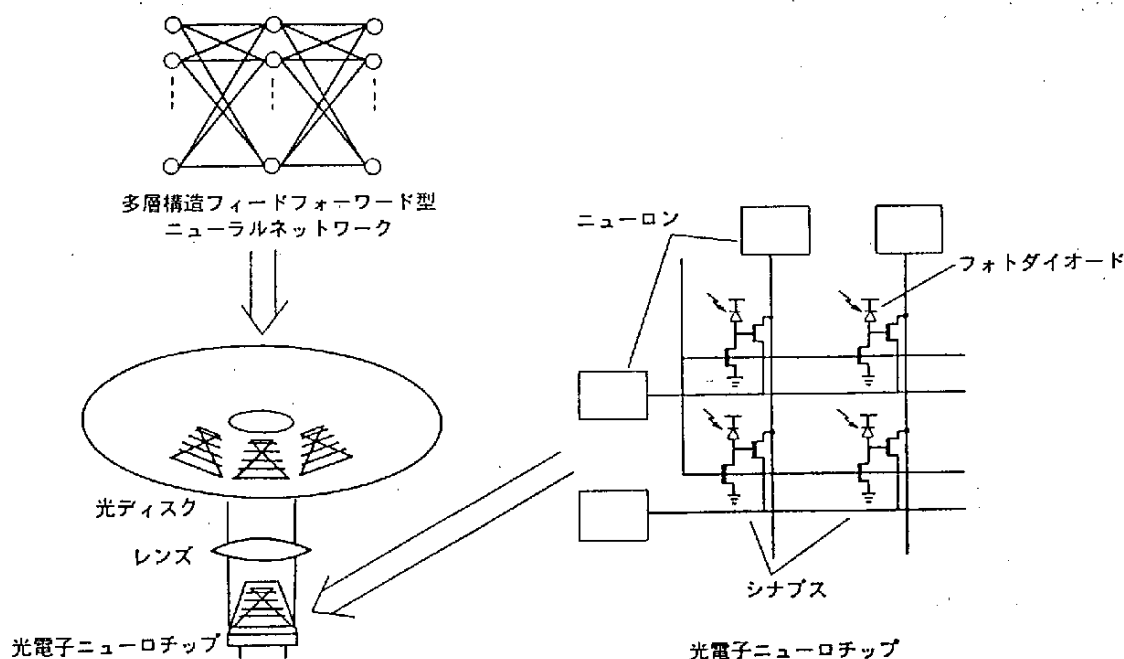
③構成例3（光ディスクの利用）

図表4.1-19は大容量、高密度の光ディスクメモリと光電子ニューロチップを用いた多層構造のネットワークの構成例である [5]。光ディスクは各層間のシナプス結合行列のメモリとして働く。ニューロチップには、フォトダイオードとトランジスタで構成されたシナプス結合素子が集積化されている。また、入出力ニューロンは電子回路で構成されている。

動作原理は次のとおりである。まず、光ディスクに一樣な光を照射して、第1層と第2層間のシナプス結合行列を並列に読出し、シナプス素子アレイに照射する。これと同期させて、入力ニューロンの状態ベクトルをシナプス素子に入力すると、行列とベクトルの積和が得られる。これを、出力ニューロンでしきい値処理すれば、第2層の出力電圧が得られる。次に、光ディスクを回転して、同様の手法で第2層と第3層間の演算を行う。この操作を繰り返すことによって、多層構造のニューラル処理が実現される。

5インチ、 $1\mu\text{m}$ スペースの光ディスクには 10^9 ビットの記憶容量がある。従って、計算機ホログラムの技術を用いて画像情報を記憶すると、各々100万画素の画像を約1000枚蓄積できるので、大容量画像検索等への応用が期待される。また、ワンチップに 10^7 個のシナプスを集積化して、光ディスクのアクセス時間を $10\mu\text{s}$ とすれば、 10^{12} CPSの演算速度

が得られる。



図表4.1-19 光ディスクを用いた光ニューラルネットワークの概念図[5]

光ディスクの並列アクセス技術と大規模光電子ニューロチップの研究が重要である。

光ニューラルネットワークは、現在まだ小規模で簡単な機能の報告例しかないが、空間変調素子を初めとする光デバイスとそれらの集積化技術の開発によって、今後、ネットワークの大規模、高機能化が期待される。

〔参考文献〕

- [1] N.H.Farhat, Appl. Opt., 26, 5093 (1987).
- [2] J.Ohta, M.Takahashi, Y.Nitta, S.Tai, K.Mitsunaga, and K.Kyuma, Opt.Lett., 14, 844(1989).
- [3] 久間, 田井, 太田, 電子情報通信学会誌, 平成2年7月号に基本的概念が掲載予定
- [4] D.Z.Anderson, Opt.Lett., 11, 45(1986).
- [5] D.Psaltis, A.Yamamura, K.Hsu, S.Lin, X.Gu, and D.Brady, IEEE Communications Magazine, 37(November 1989).

4.1.2.5 アーキテクチャと要素技術

(1) 新情報アーキテクチャと光技術

光技術を利用した情報処理アーキテクチャは大別して次の4つに分類できる。

① 光インタコネクション

電子計算機が抱える配線遅延の問題を情報伝送媒体としての光の大容量性を生かし、情報伝送は光、情報処理は電子という役割分担から新情報処理技術へアプローチする。

② 超高速光演算

極短光パルスを利用したシリアル超高速デジタル光演算処理技術を開発する。

③ 光ニューロ演算

光による情報伝送の特徴を生かして、多数のニューロン間を光で完全結合し、電子集積回路技術では不可能な大規模ニューロネットワークの実現により、学習、相関演算処理を高速に実現する技術を開発する。

④ 超並列光演算

- ・デジタル処理：空間符号化や記号置換等の手法により空間光情報をデジタル化し、計算精度と超並列性を同時に満足する演算アーキテクチャを開発する。さらに波長空間の自由度を利用したデジタル演算手法を開発する。
- ・アナログ処理：波としての光の性質を利用し、画像情報の特徴抽出等、アナログ処理の特徴を生かした冗長性や許容度の高い情報処理技術を開発する。

新情報処理アーキテクチャと光技術の関連をまとめると次のようになる。

	ニューロ演算	汎用超並列演算		
演算形態	相関、学習	論理・記号処理		
電算機の要請	通信ネック	逐次処理の限界		
光技術からの アプローチ	ベクトル／ マトリクス演算	インタコネク ション	超並列演算 アナログ デジタル	
	時間域	超高速処理		
	空間域	空間多重（並列） 波面制御	空間伝搬 導波制御	波面制御 空間符号化
	波長域	波長多重（並列）		波長制御 波長符号化

(2) 要素開発課題

新情報処理技術に必要な光要素技術の開発課題をまとめると次のようになる。

	時 間 域	空 間 域	波 長 域
処理形態	逐次	並列	並列
機能	超高速処理	波面制御	波長制御
開発要素	・超高速発光受光素子 ・量子効果素子 ・光多値論理素子 ・光スイッチ ・光メモリ	・空間光変調素子 ・面形発光素子 ・ビーム制御素子 (偏光、偏向) (収束、発散)	・波長変換素子 ・波長掃引素子 ・波長安定素子 ・波長多重素子 ・波長多重メモリ
共通課題	・光素子の2～3次元集積技術 ・電子集積回路と光技術の融合 ・光新現象の新情報処理への応用		

4.1.3 要素技術

4.1.3.1 超高速発光受光素子

(1) 超高速光要素技術の展望

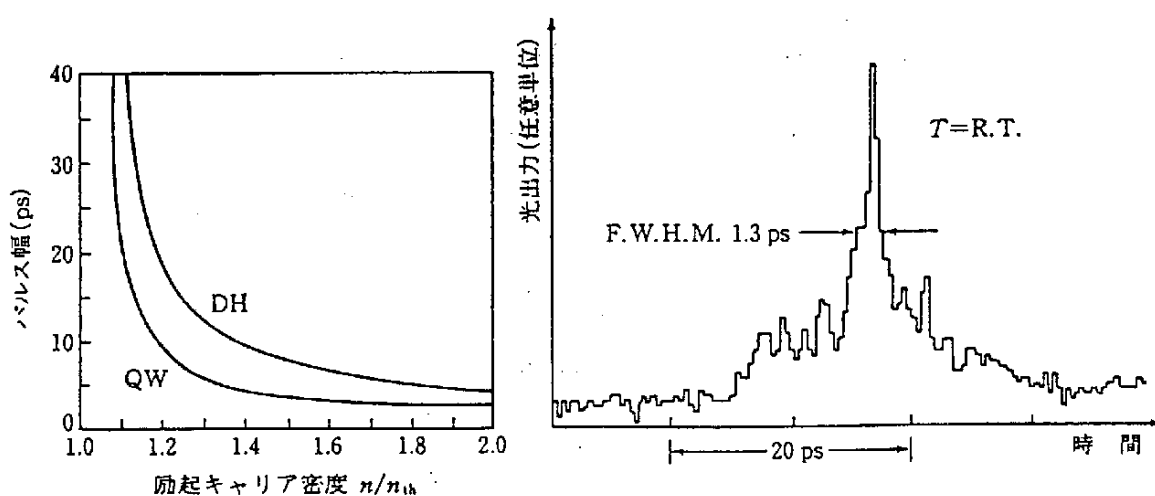
光技術の特長のひとつは光が超高周波の電磁波であることに基づく超高速性である。図表4.1-20に示す[1] ように近年光超高速技術は長足の進歩を見せ、色素レーザーによる6フェムト秒(1兆分の6秒)の光パルスの発生に成功している[2] 例を始め、1～10ギガビット/秒の光通信に必要な部品はすでに実用段階にある。ただしこれらを集積化する技術、実装して使いこなす技術については電子デバイス技術に比べ成熟度が足らず、今後の開発努力に待つところが大きい。

図表4.1-20 超高速光エレクトロニクス基礎技術の現状と課題[1]

基礎技術の項目	現 状	課 題
超短光パルス発生	色素レーザーで5fs 半導体レーザーで1ps	半導体レーザーで高速繰り返し、 高出力、短パルス
超高速電気光学変調	進行波形変調器で変調 帯域50GHz	低電力、高速変調器のアレイ 化
超高速光-光変調	3次非線形効果による サブピコ秒スイッチ	低電力化、小型化、新材料、 デバイス構造
超短パルス伝送	光ソリトン伝送理論 および基礎実験	光ファイバ非線形特性制御、 光増幅、システム
超高速受光	pin PDで帯域幅110 GHz達成	高感度、高速、集積化
超高速光電子集積回路	1Gbit/s帯OEICは 実用レベル	10Gbit/s帯以上の発光受光 OEIC実現
超高速光情報処理方式	未発達	個別高速光部品の特徴を生か した方式の出現
超高速光実装	未発達	光回路の複合化、高速電子回 路実装技術との融合

(2) 半導体レーザの超高速変調

高速動作の一つの例として半導体レーザの利得スイッチングを取り挙げる。半導体レーザ内部の強い非線形性によって印加電流パルス幅より1桁以上狭いパルス幅が得られる。図表4.1-21に量子井戸半導体レーザの利得スイッチによる出力パルスのストリークカメラ観測結果[3]を示す。量子井戸構造の採用は微分利得の増大をもたらし、高速化に有利に働く。

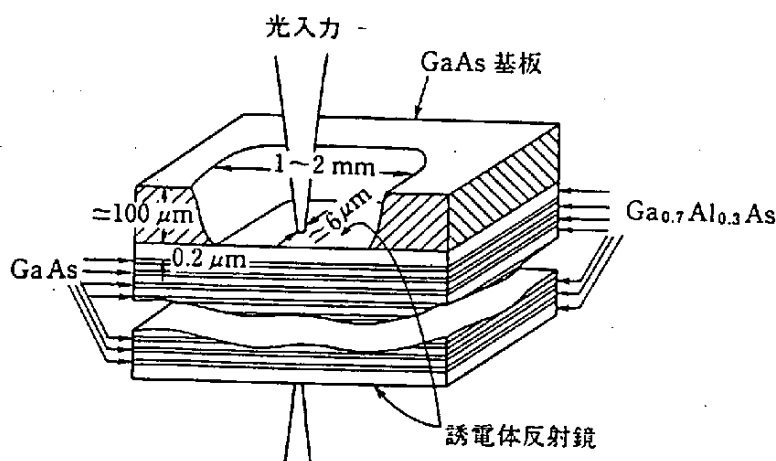


図表4.1-21(a) 量子井戸レーザからの光パルスの幅と励起キャリア密度の関係[3]

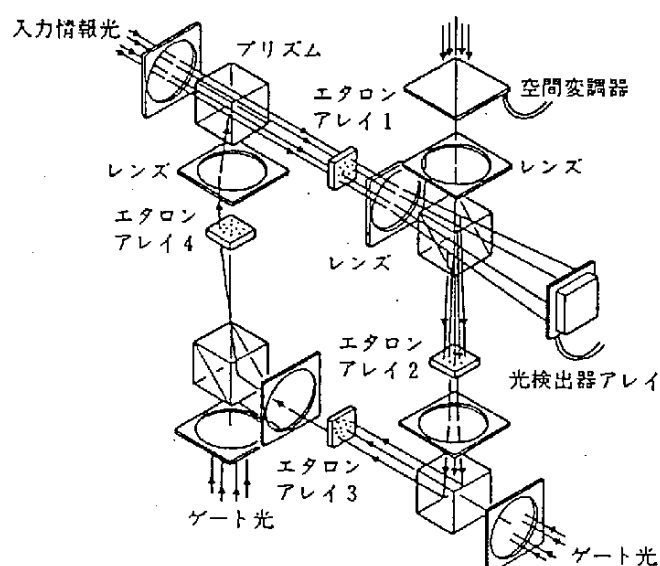
図表4.1-21(b) 量子井戸レーザからの光パルスの観測結果[3]

(3) 量子閉じ込め構造による光機能デバイス

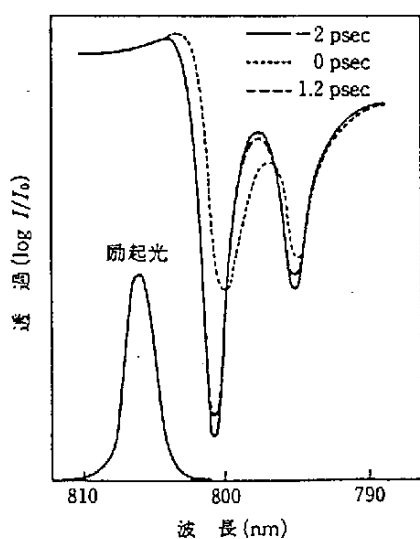
量子閉じ込め構造はまた興味ある光物性効果をもたらし、機能性の高いデバイスの可能性を開く。図表4.1-22は量子閉じ込め構造を光共振器内につくりつけた光双安定デバイスで、光パルスによるトリガでオン又はオフ状態への高速な遷移が可能である[4]。図表4.1-23にこれを基本素子とした超高速並列光コンピュータの概念図を示す[5]。高速性をさらに強めるには量子力学でいうところの仮想遷移を用いればよい。図表4.1-24に量子閉じ込め構造中のエキシトンのピコ秒速度のプリーチング効果のデモンストレーションを示した[6]。



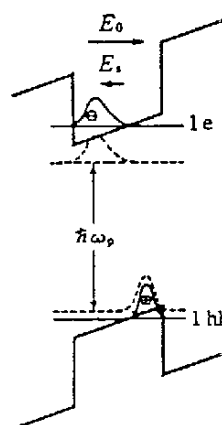
図表4.1-22 GaAs/GaAlAs MQWエタロンの構造[4]



図表4.1-23 非線形エタロンアレイを用いたディジタル並列光コンピューティングの概念[5]



GaAs/AlGaAs MQW の時間分解透過スペクトル⁶¹⁾

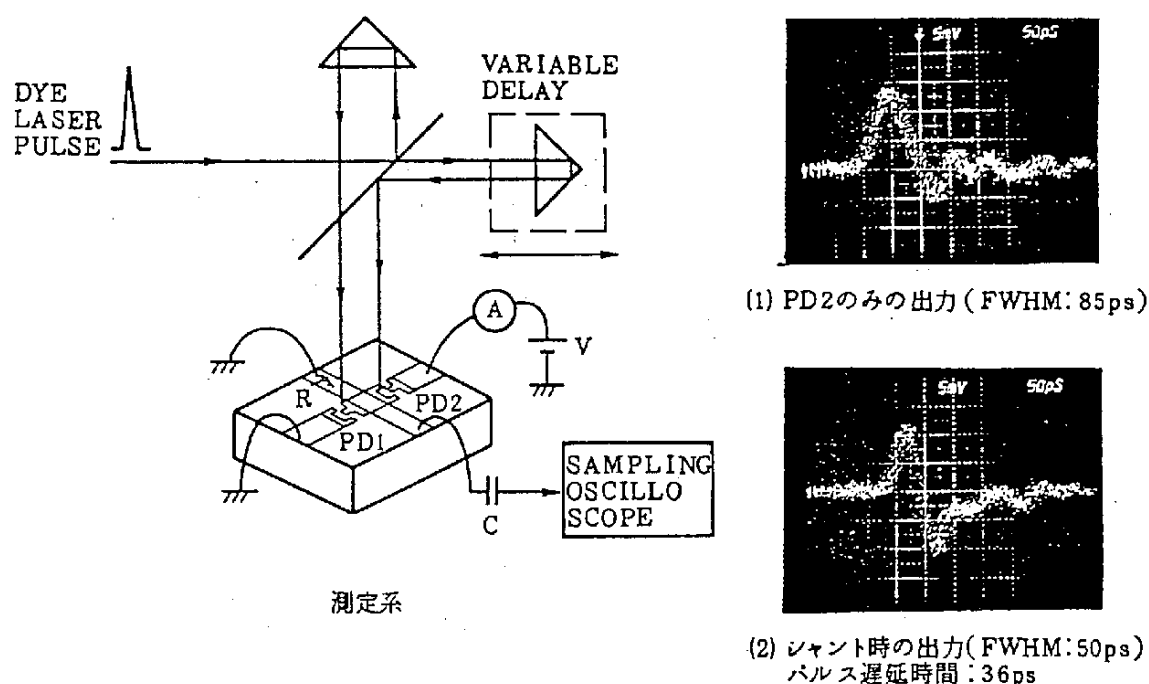


DC バイアス E_0 が引加された MQW の非共鳴光による励起 ($\hbar\omega_p < E_{1e-1hh}$)⁶²⁾

図表4.1-24 量子閉じ込め構造中のエキシトンのピコ秒速度のブリーチング効果[6]

(4) 超高速光電変換デバイス

電気信号から光信号へ的高速変換には上記の高速レーザや高速光変調器が必要であるが、光信号を電気信号に変えたり、光パルスで電気回路をトリガするには高速の光電デバイスが必要である。高感度の半導体受光素子としてはアバランシフォトダイオードが最も代表的であるが、応答周波数帯域 10GHz のものが実用レベルになっている。集積化に適する構造の一つにショットキー電極を一对つけたプレーナ構造の MSM フォトダイオードがある。図表 4.1-25 に、GaAs 基盤上に MSM を二つ集積化した複合受光素子に対して、遅延をかけたサブピコ秒光パルスのペアで励起した場合の出力波形を示す。半値全幅 30 ピコ秒以下の電気パルスが容易に得られる [7]。



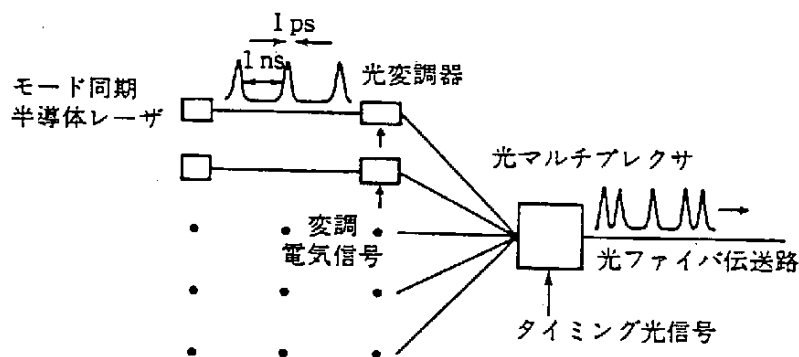
図表 4.1-25 複合光伝導デバイスによる超短電気パルスの発生の概念 [7]

(5) 超高速光デジタルデバイス・回路

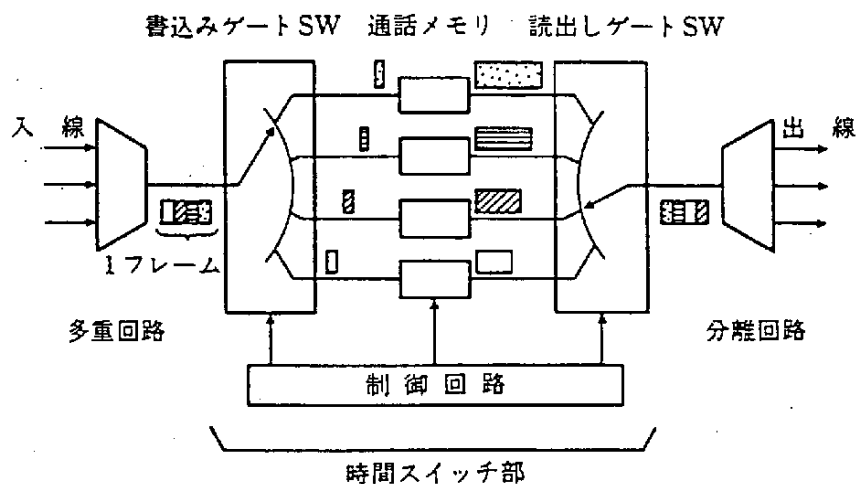
これらの要素技術を用い、また高速の電子技術を組み合わせることによって超高速のデジタル光電集積回路を構成することが可能となる。図表 4.1-26 に超短光パルスを用いた時間領域多重化回路の概念を示す [8]。また図表 4.1-27 に光双安定デバイスをメモリとして用いた時間分割光交換スイッチネットの構成方式を示す [9]。

通信用のデジタル回路の概念をさらに発展させることによって、今後情報処理に適する超高速の光電デジタル回路が開発されていくものと思われる。時間軸上の超高速性と、

空間軸上の超並列性の特長をいかに活用していくかが今後の課題となるであろう。



図表4.1-26 極短光パルスを用いた時分割多重伝送システム概念[8]



図表4.1-27 時間分割光交換用時間スイッチ概念[9]

[参考文献]

- [1] 神谷武志：「光コンピューティング」谷田貝編著（トリケプス社），第5節「超高速光デジタルデバイス」，（1989）。
- [2] R.L.Fork, C.H.Brito Cruz, P.C. Becker, C.V. Shank : Opt. Lett.12 p.483 (1987).
- [3] 荒川泰彦：「光情報材料」神谷武志編著（丸善），第4章「超格子光物性」（1985）。
- [4] N.Peyghambarian, H.M. Gibbs : Opt. Eng.24., p.68(1985).
- [5] H.M.Gibbs : Top. Meeting on Optical Computing ,TuCl(1987).
- [6] A.Mysyrowitz, D. Hulin, A.Antonetti, A.Migus, W.T.Masselink, H.Morkoc :

Phys. Rev. Lett., 56, p. 2748(1988).

- [7] H. Kamiyama, Y. Kobayashi, T. Kamiya : Int. Conf. Integrated Optics and Optical Fiber Communication (IOOC'89) 、19C3-3(1989)
- [8] P.W. Smith : IEEE Circuits and Devices Magazine, May 9 (1987).
- [9] S. Suzuki, T. Terakado, K. Komatsu, K. Nagashima, A. Suzuki, M. Kondo: J. Lightwave Tech, LT-4, p. 894(1986).

4.1.3.2 ウェハスケール集積とヘテロエピタキシ技術

(1) ウェハスケール集積 (WSI)

超並列分散処理システムや大規模ニューラルネットワークを実現するには、現在のコンピュータとは全く異なる超並列、超分散構造に適した集積化技術が必要である。例えば、Si-VLSI 技術を駆使し 10^5 トランジスタ/ニューロン、 10^8 トランジスタ/チップ、60チップ/ウェハ、8 インチウェハ、を仮定すると60,000ニューロン/ウェハを構成することができる（ただし、チップ間の結合については考慮されていない）。しかし、このように高密度に実装されたデバイスを電氣的に配線すると、その配線量、信号遅延が致命的な問題となることは明らかである。経験則によれば、必要な外部との配線数は、ロジック回路では、素子数の約2/3 乗で増大する。また、システムの色度は、プロセッサやメモリの処理速度でなく、これらの間の通信時間に支配されてしまう。

さらに大規模のニューロン（プロセッサ）を配線する場合、このWSIをスタック状に3次元にしかも高速に並列接続する必要があり、光による3次元的な配線が重要な要素技術となる。現状の光デバイスは、面内集積密度では電子デバイスには及ばないが、面方向の接続（3次元集積化）では光の空間伝播性、並列性を利用せざるを得ないと考えられる。

以上のような背景から、WSI 内、または WSI間配線のレベルでの光技術への期待は極めて大きい。大規模超並列プロセッサ構築の道を開くには、Si-VLSI 技術と光技術の融合化の研究が必要である。

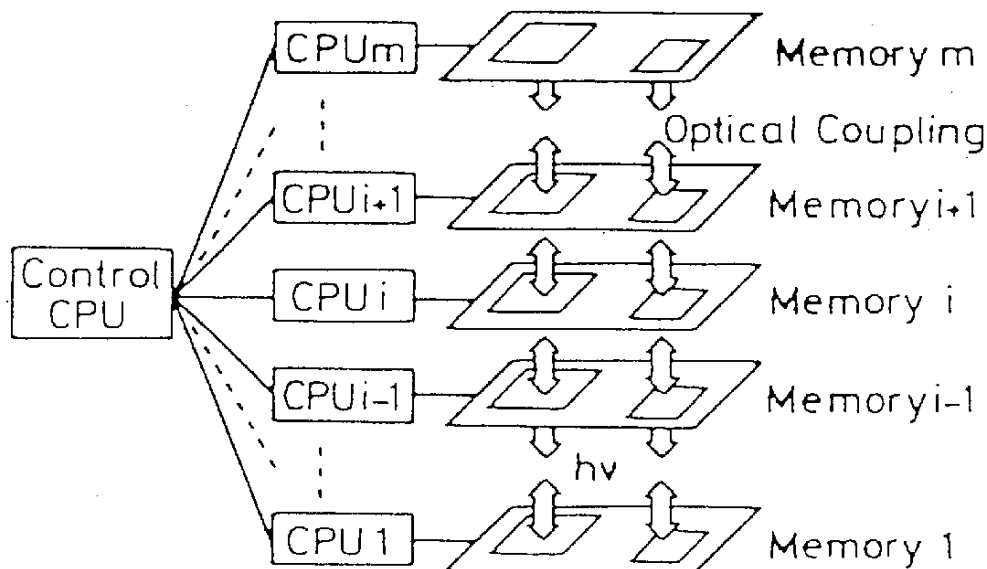
以下、光技術を利用したWSIの例を挙げる。

1) 3次元光接合共有メモリ[1]

複数個の CPUを用いたマルチプロセッサ方式により高度の情報処理を行うコンピュータシステムを構築する場合、各 CPUに接続されたメモリ間で情報を共有し、かつ、高速な

データ転送を可能とする共有メモリが不可欠である。図表4.1-28に示した3次元光結合共有メモリは、CPUを介さないブロックデータ毎の一括転送による高速データ転送、および同一データを共有しながらの3次元データ転送による並列演算処理という、従来のSRAMやDRAMにはない機能を有する新しい機能メモリである。

なお、メモリを3次元的に集積する方法としては、Si基板上に発光・受光素子を形成[2] (GaAs on Si技術) した後、基板を研磨して薄層化しそれらを張り合わせるというチップの張り合わせ技術を採用する。



図表4.1-28 3次元光接合共有メモリを用いたコンピュータシステム[1]

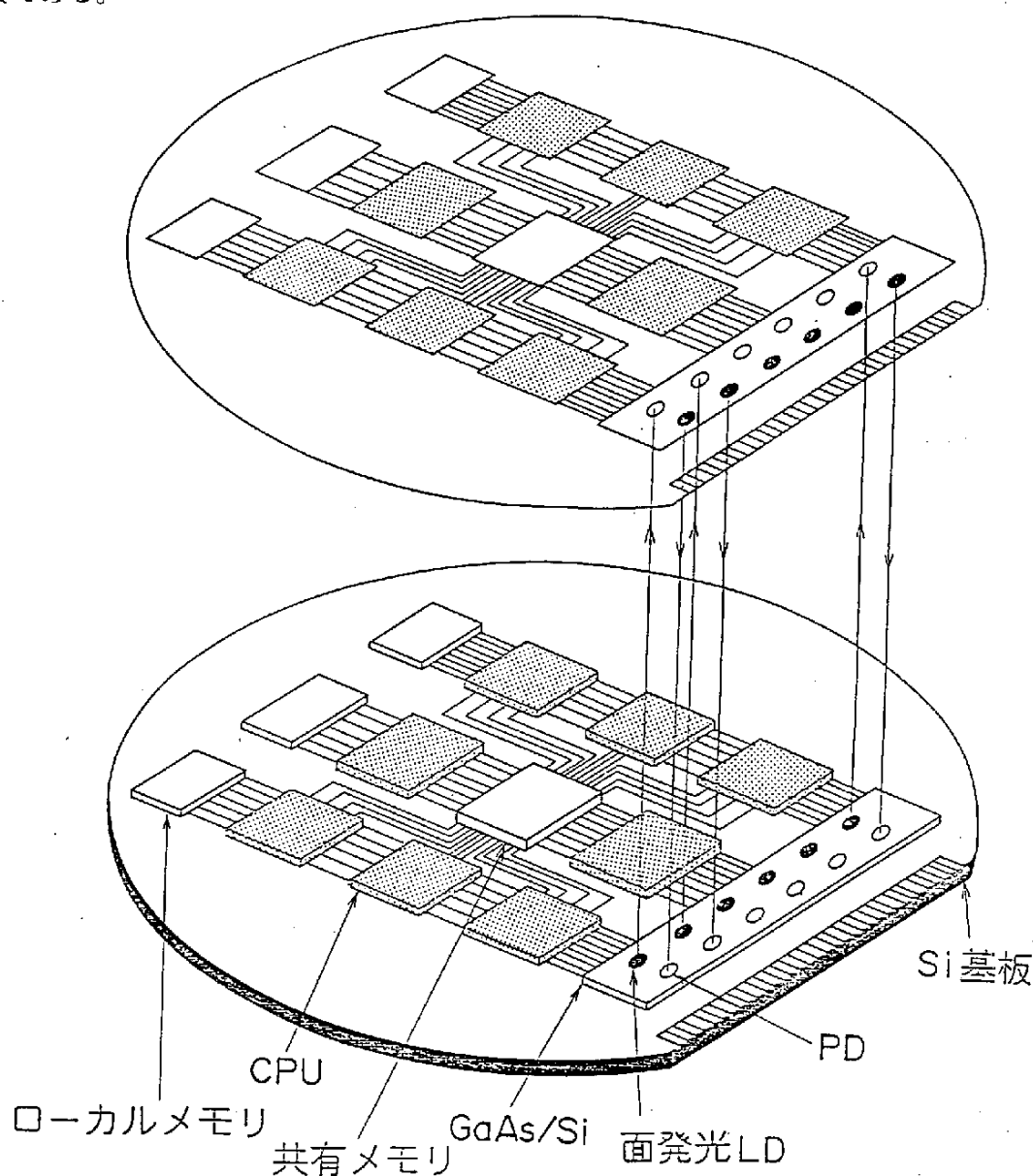
2) 光電子WSI

チップ内の超高速・大容量通信に光電子 WSIが考えられる。例えば、図表4.1-29に示すように、Siウェハ上に多数のプロセッサと共有メモリを集積化し、それらを光導波路や光結合素子を用いて接続したマルチプロセッサ型の WSIを、低消費電力の受発光素子アレイを用いた空間接続によりスタック状に接続した並列コンピュータが実現できれば新情報処理への展開も可能となろう。

WSIのための要素技術として、

- ①並列処理システムにおいて、光技術を有効に利用するための、共有メモリなどの新しいアーキテクチャ
- ②低消費電力、高速の受発光素子アレイ
- ③集積化に適した空間光変調素子
- ④GaAs on Siなどのヘテロエピタキシ技術

などがあるが、Si-VLSI 技術との本格的な融合を図るにはこれらの着実な研究と進展が必要である。



図表4.1-29 光電子WSIを利用した並列処理用コンピュータの概念図 (三菱電機)

(2) ヘテロエピタキシ技術

近年の分子線エピタキシャル成長 (MBE)法や有機金属気相成長 (MOCVD)法を始めとする薄膜結晶成長技術の進展とともに、Si、Ge、III-V族、II-VI族半導体の単分子層レベルの急峻性を持ったヘテロ接合界面の形成が可能になった。高移動度の2次元電子ガスを用いたHEMT (高電子移動度トランジスタ) や量子井戸構造による半導体レーザ[3] に代表されるように、従来にない特徴を有する様々な素子の提案、開発がなされている。

これらの量子効果デバイスのためのエピタキシ技術は他の節に譲り、ここではSiをベー

スにしたウェハスケールインテグレーション (WSI)を念頭に置いた、ヘテロエピタキシャル技術について述べる。

(a) GaAs on Si

現在、報告されているSi基板上的GaAs成長層の転位密度は 10^6 /cm² 程度と、発光デバイス用としてはまだまだ高い。そのために、アモルファス状のGaAsをバッファ層とする方法や、GaAsとSiの間に歪超格子を導入して転位がGaAs層へ伝播することを妨げる努力がなされている。

この技術は、Siをベースにした WSIや前述の光共有結合メモリを実現する上で必ずブレイクスルーされなければならない重要な技術であろう。

(b) Si_m/Ge_n歪超格子

Si基板上的ヘテロエピタキシンの研究において、最近注目されている材料系の一つに、GeとSiの超薄膜を交互に周期的に成長させたSi_m/Ge_n歪超格子がある。GeもSi間接遷移型半導体であるが、歪超格子構造を用いれば、バンドの折り返し効果によって直接遷移型に変調し、GaAsなどの化合物半導体と同じ直接遷移による発光をすることが実験的にも確かめられている [4]。しかし、まだまだ基礎的研究段階であり、今後の研究に期待するところが大きい。

〔参考文献〕

- [1] 高田浩和、森 弘樹、広瀬全孝、小柳光正、“3次元光結合共有メモリのメモリセル設計” 電子情報通信学会論文誌 C-II Vol. J72-C-II、No. 5, 399(1989).
- [2] R. N. Ghosh, B. Griffing, and J. M. Ballantyne, “Monolithic integration of GaAs light-emitting diodes and Si metal-oxide-semiconductor field-effect transistors”, Appl. Phys. Lett., 48(5), 370(1986).
- [3] 荒川泰彦、高橋琢二、「量子井戸箱構造の導入による半導体レーザの高性能化の可能性」、応用物理、vol. 57, 697(1988).
- [4] H. Okumura, K. Miki, S. Misawa, K. Sakamoto, T. Sakamoto, and S. Yoshida, “Observation of direct band gap properties in Ge_nSi_m strained-layer superlattices”, Jpn. J. Appl. Phys., Vol. 28, L1893(1989).

4.1.3.3 並列処理用光デバイスと新情報処理

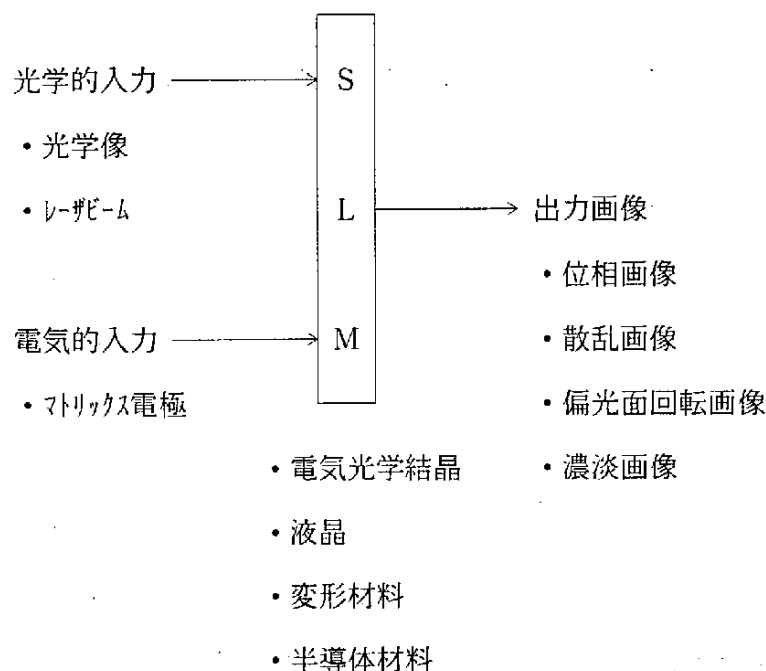
光の高速性ととも、並列性（空間軸・波長軸）を情報処理に利用する研究が活発になってきた。以下、新しい並列情報処理への応用を目的とした、光デバイスの現状について述べる。

(1) 空間光変調素子

2次元並列光情報の強度や光ビームの伝搬方向を、実時間で変調する機能を有する素子が空間光変調素子（spatial light modulator; SLM）である。

入力光情報をアナログ的に変調する素子とデジタル（スイッチング）的に変調する素子がある。アナログ SLMは、例えば、光ニューラルネットワークのシナプス結合素子への応用が期待される。一方、ディジタル SLMは、論理素子、記憶素子として、並列光ディジタルコンピュータを構成する重要な素子である。

SLMの基本構成は、図表4.1-30に示すように、入力系、出力系および SLM本体から成り立っている。入力系として、光学的入力（光学像やビームの走査）と電気的入力（マトリックス電極などへの時系列電気信号）がある。出力は、SLM で変調された光情報のパターンである。SLM は、使用材料により、電気光学結晶を用いるもの、液晶を用いるもの、変



図表4.1-30 SLMの基本構成

形材料を用いるもの、および半導体材料を用いるもの、に分類できる[1], [2], [3]。図表4.1-31に主なSLMの諸特性を示す。SLMの性能として、高並列処理のための素子の高集積化（または高解像度）、高速動作、高コントラスト比、低消費電力、入射光に対する低波長選択性、高出力パワーなどが要求される。現状では、すべての点で十分なものは得られていないが、今後の発展が期待される。以下に、代表的なSLMの現状について述べる。化合物半導体を用いたSLMは種々の方式のものがあ、かつ今後の発展が大いに期待されるので別項を備えて述べる。

	素 子	光 学 効 果	アナログ/ デジタ	アドレス	コント ラスト	応答速度 (sec)	動 作 エネルギ-	現状の サイズ
電気光学	Si/PLZT	複屈折	アナログ/デジタル	光	—	10^{-4}	—	2×2
	マイクロチャンネルプレート	複屈折	アナログ/デジタル	光	10^3	10^{-2}	$10^{-1} \text{ fJ}/\mu\text{m}^2$	$16\text{mm}\phi$
液 晶	CCD/液 晶	複屈折	アナログ/デジタル	電 気	10^2	10^{-1}	—	256×256
	強誘電性液晶	複屈折	デジタ	電 気	10^2	10^{-6}	—	64×64
変 形	ホログラム材料	変 形	アナログ/デジタル	光	10^2	—	$10^4 \text{ fJ}/\mu\text{m}^2$	700 lp/mm
化 合 物 半 導 体	CCD/MQW	吸 収	アナログ/デジタル	光/電気	10^1	10^{-10}	—	16×16
	双安定レーザ	吸 収	デジタ	光/電気	10^1	10^{-10}	100 fJ	—
	光増倍管(pnpn)	吸 収	デジタ	光/電気	10^2	10^{-9}	900 fJ	32×32
	非線形エクロン	吸 収	デジタ	光/電気	8	10^{-10}	600 fJ	100×100
	S E E D	吸 収	デジタ	光/電気	4	10^{-9}	$\sim \text{fJ}/\mu\text{m}^2$	2048

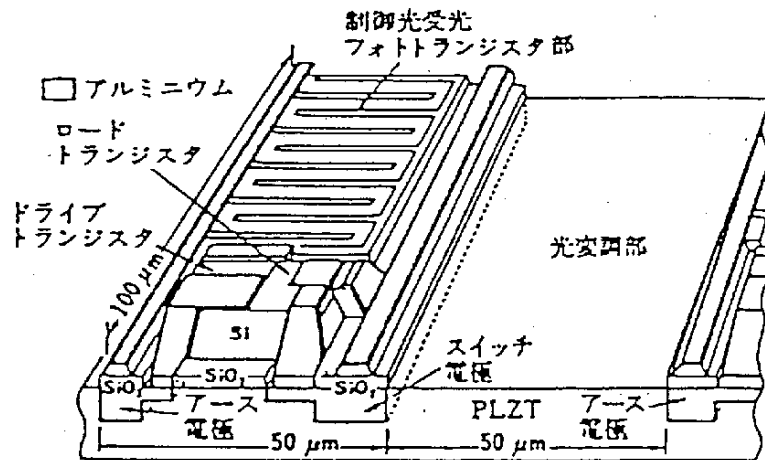
図表4.1-31 主な空間光変調素子の諸特性

① 電気光学空間変調素子

このタイプの SLMは、電気光学素子により光を変調し、偏光面回転画像または散乱画像を発生させる。現在までに、種々の電気光学材料を用いた SLMが報告されている。以下代表例として、PLZT型素子、MCP 型素子について述べ、今後の課題について述べる。

PLZT型素子は、ジルコン酸鉛とチタン酸鉛の混合物にランタンをドーブして焼結した強誘電体 ($\text{La/PbZrO}_3/\text{PbTiO}_3$ 、略してPLZT) と光伝導体を一体化したSLM である。光入力に対してPLZTのドメイン分極の成分が変化し、複屈折率が変わる。そのため、出力は偏光面回転像が得られる。最近、PLZT上に、Siの電子回路と受光素子、およびPLZT変調器を集積したSi-PLZT SLM が研究されている。1素子分の構成を図表4.1-32に示す。現在の試作段階では、アレイサイズは 2×2 と小さいが、将来 1000×1000 素子、応答速度 10kHz の素子

の実現を目標としている。



図表4.1-32 Si-PLZT空間光変調素子

MCP型素子は、マイクロチャンネルプレート(MCP、2次元光電子増倍素子)とニオブ酸リチウム(LiNbO_3)などの電気光学結晶を組み合わせた SLMである。微弱な入力光を光電面に結像させ、そこから放出された2次電子を MCPで2次元的に増幅し、電気光学結晶の表面に帯電させる。その電荷により電気光学結晶に電界が印加される。出力は偏光面回転画像である。

MCP 型素子の特長は、微弱光に感度をもつことと、印加電界のかけ方によって画像の反転や演算が可能になることである。

電気光学結晶を用いた SLMは、一般的に、動作電圧が数kVと高いため、電源のスイッチングや絶縁の問題がある。今後、Si-PLZT SLM のように、駆動電子回路や受光素子との集積化、スタック化の技術を開発し、動作電圧の低減を図るとともに、操作性の向上が必要である。

② 液晶空間変調素子

液晶の光学的特性は電気光学結晶と同様であり、動作電圧は数Vから数十Vと比較的低い。制御信号の書き込み方式により、光書き込み型、熱書き込み型、電気書き込み型、CCD書き込み型などがある。

例えば、光書き込み型素子は、液晶とCdSeなどの光伝導体を、層状構造に組み合わせた SLMである。このSLMには、通常、一定の電圧を印加しておく。

光を照射すると、光伝導体の抵抗が変わるので、液晶に加わる電圧も変化する。従って、液晶の電気光学効果によって反射光または透過光の偏光面が変調される。光入力および光出力型であるので、入力光にインコヒーレント光を用い、読み出し光にコヒーレント光を用いると、インコヒーレント→コヒーレント変換素子としても利用できる。

電気書き込み型素子は、マトリックス電極を使用し、時系列の電気信号入力を空間的な電圧分布として書き込む方式の SLM である。走査は、線順次走査で行う。TN モードがよく利用され、出力は偏光面回転情報として得られている。最近では、解像度の向上のため、スーパーツイスト (STN) モードが研究されている。このタイプの SLM は、マトリックス電極を使用しているので、空間的にデジタルな 2 次元光情報処理に応用できる。

CCD 書き込み型素子は、マトリックス電極の代わりに CCD (charge coupled device) を使用し、時系列電気信号の書き込みを高速に行う SLM である。CCD に蓄積された電荷は全画面同時に液晶層に結合され、電圧分布を形成する。CCD のクロック 20MHz、画素数 256×256 、コントラスト 100 : 1 程度のものが開発されている。本素子はアナログ変調素子としても使用できる。

一般的に、通常用いられている液晶は、応答速度が 10ms 程度と遅い。この課題に対して、最近、強誘電性液晶の SLM が研究されている。強誘電性液晶は、自発分極を有し、その向きが電界の方向に対して高速に応答するとともに、メモリ性も有している。マトリックス電極の電気書き込み型 SLM において、 230×230 画素のものが試作されている。応答速度は $5 \mu s$ 、フレーム周期は 30ms である。

③ 変形型空間光変調素子

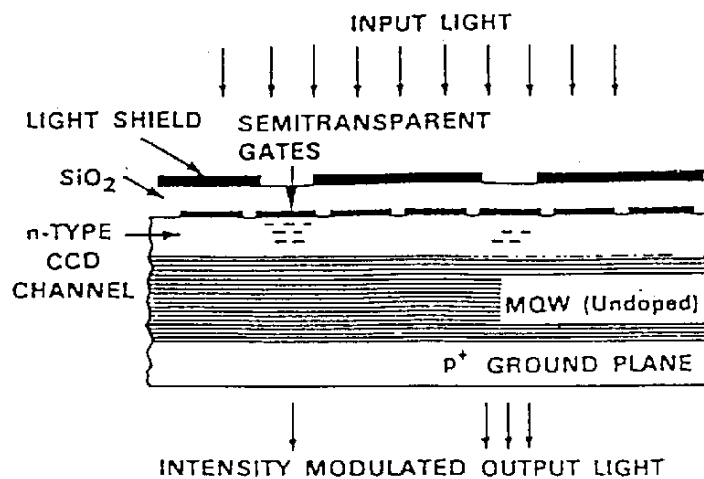
このタイプの SLM は、物質の光学的性質の変化の代わりに、幾何学的な変形による行路差を利用している。出力は、位相画像である。材料として、低融点プラスチック（ポリスチレンなど）やエラストマ（高分子の弾性体）などがある。消去可能なホログラム記録媒体として開発されているので、解像度は非常に高い。しかし、書き換え時間が長い。2 次元情報のメモリに応用できるかも知れない。

(2) 化合物半導体空間光変調素子

① CCD / MQW 型空間光変調素子

GaAs CCD と、GaAlAs / GaAs MQW-QCSE を組み合わせた SLM などが研究されている。このタ

タイプのSLMは、半導体材料であるため、半導体の発光・受光素子とモノリシックに集積化できる利点がある。MQW-QCSEは、多重量子井戸構造の量子閉じ込めシュタルク効果(quantum confined stark effect)のことで、このSLMの構成を図表4.1-33に示す。入射したレーザー光は、CCDに蓄積された電荷の量に応じて空間的に光強度が変調される。現在、CCDのクロック500kHz、解像度16×16、コントラスト1.45:1のSLMが報告されている。QCSEを利用した他のデバイスで、8:1のコントラストが報告されており、今後の改善が望まれる。応答速度に関して、CCDのクロック1GHz以上、QCSE自体で100ps以下の潜在能力があり、超高速SLMとしての期待が大きい。



図表4.1-33 GaAlAs/GaAs MQW空間光変調素子

② 双安定半導体レーザー

半導体レーザーを用いた光双安定素子として吸収飽和型の例を述べる[4]。

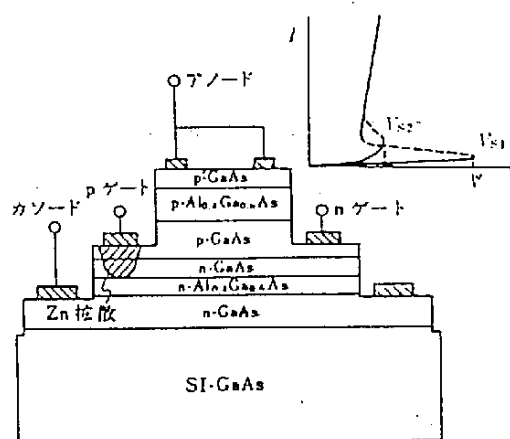
一つの構成例として、半導体レーザーの電極を共振器方向に分割したタンデム型半導体レーザーで光双安定特性が実現されている。2分割された一方の電極の領域は利得領域に、他方は可飽和吸収体になる。この可飽和吸収特性とファブリペロー共振器による光帰還効果で、半導体レーザーの発振開始のしきい値電流と発振停止のしきい値電流が異なった値となる。この間の電流値に対して、光出力は双安定を示す。双安定半導体レーザーは光利得を持っているので、スイッチングエネルギーが小さい、コントラストが大きい、大きなファンアウトがとれるなどの利点がある。スイッチング速度は、サブナノ～ナノ秒程度である。

今後の課題として、低しきい値化と2次元アレイ化がある。量子井戸、量子細線、量子箱などの量子効果をもった構造の導入や歪超格子構造の採用を行うとともに、共振器端面

の高反射率化により、しきい値電流密度の低減が可能である。さらに、自然放出光を制御できれば、 $1\text{A}/\text{cm}^2$ 以下のしきい値電流密度が可能と考えられている。一方、2次元アレイ化に適した双安定レーザ構造に関しては、面発光レーザで可飽和吸収体を集積化した構造の検討が行われている。将来の超高速、並列光スイッチ素子としての期待は大きい。

③ 光サイリスタ

pnpn光サイリスタ構造素子を図表4.1-34に示す。同素子は、4端子素子で、光書き込み、記憶保持、光読み出し、消去の4つの動作モードがある。光書き込みは、バイアス電圧を印加した状態で、光信号を入力させて行う。記憶保持は、低いバイアス電圧を一定時間間隔で印加し、蓄積されたキャリア量を補充して行われる。光読み出しは、高いバイアス電圧を印加して行い、発光はLEDモードである。消去は、過剰キャリアの引出し用のゲート電極を設けた4端子構造で、アノード電極側に負の電圧を印加して行う。この型の素子では、スイッチングエネルギー $26\sim 900\text{fJ}$ 、光出力応答 $6\sim 20\text{ns}$ 、記憶保持の消費電力 $2\mu\text{W}$ が得られており、それらの2次元アレイ化(32×32)も報告されている[5]。



図表4.1-34 pnpn光サイリスタの構造

また、LEDとヘテロ接合フォトトランジスタを積層した構造の素子が研究されている。材料は、GaInAsP/InP系である。同素子の電流-電圧特性は、入射光がない時にはサイリスタ的特性を示し、入射光があるとダイオード的特性を示す。この特性を利用し、メモリ動作が実現されている。すなわち、バイアス電圧印加時に光を入射するとオン状態になり、入射光がなくなっても発光を続ける。バイアス電圧をゼロにすると、素子はオフ状態にもどる。この素子を 32×32 集積したデバイスが報告されている。

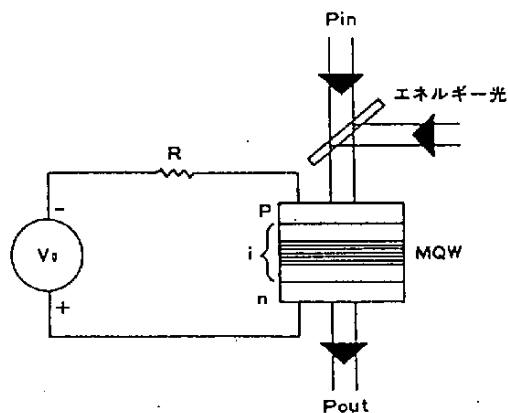
④ 半導体エタロン

半導体エタロンは、半導体薄膜（数 μm ）の両面に反射鏡を形成したファブリペロー型のエタロンである。入力光が強くなるに伴って、キャリアの励起とともに半導体の屈折率に変化してファブリペローピークが共鳴状態に近づいて正帰還が起こり、オンにスイッチする。透過光で双安定特性を得る。GaAs/GaAlAsエタロンにおいて、スイッチングエネルギー3 pJ、コントラスト5 : 1、繰り返し82MHzでNORなどの論理演算が実現されている[6]。スイッチオフ時間は、半導体内のキャリア寿命で制限されるので、40ns程度である。表面再結合を利用して、30ps程度まで短縮した素子も報告されている[7]。また、半導体エタロンは、構造的に2次元アレイ化に適している。100 $\times$ 100のアレイが試作されている[8]。

⑤ SEED (Self Electro-optic Effect Device)

SEEDの基本的構成を図表4.1-35に示す。I層を多重量子井戸(MQW)構造にしたPINフォトダイオードに、抵抗を通して逆バイアス電圧を印加する構成になっている。MQW中の励起子準位の大きな量子閉じ込めシュタルク効果を利用して、光の吸収と印加電圧の正帰還効果により、光双安定が得られる。GaAs-MQWの素子で、スイッチングエネルギー48pJ、コントラスト約2 : 1、応答速度30nsが得られている[9]。スイッチングエネルギーは単位面積当たりで6.1fJ/ μm^2 となる。また、付加的な機能を持った、diode-biased SEED(D-SEED)[10]やsymmetric SEED(S-SEED)[11]など、さまざまな変形SEEDが提案されている。D-SEEDは、抵抗としてフォトダイオードを積層方向にモノリシックに集積した構造である。このフォトダイオードには逆バイアスが印加されるため、大きな抵抗値が得られる。短い波長の光をこのフォトダイオードに入射すると、光吸収の効果でその光強度に応じて抵抗値が変化するので、長い波長の光のスイッチングパワーを変えられる。D-SEEDを6 $\times$ 6アレイ化した素子を用いて光アドレスが可能な空間光変調器が試作されている。S-SEEDは、2個のMQW-PINフォトダイオードを並列に配置した構造を基本単位としている。電気的には、直列に接続されている。2つの入力光と2つの出力光である。入力として、制御光と信号光を用いると、光のセット・リセット動作ができる。

ごく最近、S-SEEDを2048個集積したチップが報告された。各素子が、論理ゲート、メモリセル、スイッチの機能を有しており、2 kbitの情報が並列処理できる。各素子のスイッチング速度は 10^{-9}sec である。メモリの保持は、200nwの光を連続照射して行う。



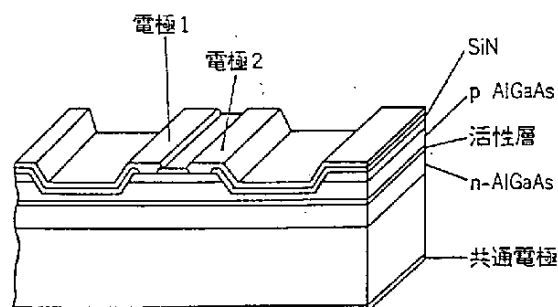
図表4.1-35 SEEDの基本的構成

⑥ 光ビーム制御素子

光の空間並列性の活用において、偏向・集束など、光ビームの空間的制御を行う技術の開発も重要である。すなわち、超並列計算機を構成する多数のプロセッサ間の情報伝送において自由度が増大し、処理能力が飛躍的に大きくなる。

光ビームの偏向・集束には、これまで回転ミラーや可動レンズ系のようなメカニカルなシステムが用いられてきた。しかし、光ビームのより高度な制御を実現するには、電気あるいは光を用いて発光素子や導波路自体を制御する技術の開発が必要である。このような技術として、これまでに回折格子型素子やビーム偏向用ツインストライプレーザなどが研究されている[12]。

回折格子型素子は、回折格子を設けた導波路と発振波長可変半導体レーザを集積したものである。波長の変化に対して、光の出射角度が変化する。応答速度60psで、光ビームを3度偏向した報告がある。ビーム偏向用ツインストライプレーザは、図表4.1-36に示すよ



図表4.1-36 ビーム偏向ツインストライプレーザ

うな構造をしている。一つのストライプ状の発光領域（活性層）に対して、一対の電極が左右に設けてある。各電極からの注入電流を制御して、発光領域のキャリア密度分布を非対称にし、その領域の屈折率分布を変化させる。その結果、キャリア濃度分布の傾きとほぼ比例して出射光の角度が変化する。光ビームを±5度程度まで連続的に偏向した報告がある。今後、これらの光ビーム制御素子を超並列・超分散の情報処理へ応用していくためには、2次元アレイ化や高効率化のための新しい非線形材料の研究が必要となる。

(3) 並列処理用発光素子

情報を並列処理するための光源として、空間軸上の並列性を指すものと、波長軸上の並列性を指すものがある。前者には面発光レーザ[13]があり、後者には波長変換素子[4]がある。

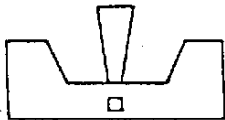
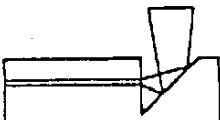
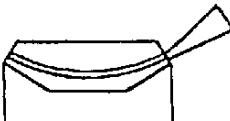
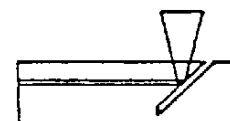
① 面発光レーザ

透過率変調などの並列光機能素子は、外部に光源を必要とするため、チップ間などの並列光情報処理を考える場合、2次元アレイ光源が不可欠である。面発光レーザは、2次元的に同一基板上に多数の発光素子を集積できることが大きな特長であり、この要求を満足するものである。現在検討されている面発光レーザは共振器構造の点から、垂直共振器型、通常の水平共振器で回折格子あるいは45°反射鏡を用いて光を垂直に取り出す構造、曲がり導波路あるいは45°反射鏡を用いる曲がり共振器型の3種類に大別される。それぞれの構造の特徴を図表4.1-37に示す。

高密度な2次元集積化に関しては、垂直共振器型が有利である。GaAs系垂直共振器型面発光レーザで5×5の2次元集積化が報告されている。各素子の活性領域径と素子間隔は、それぞれ10μmと20μmである。

さらに、発光素子の2次元アレイ化では、低消費電力動作も重要になってくる。活性領域の微小化および端面反射鏡の高反射率化により、低しきい値化が進められている。現在、GaAs系およびGaInAs系の垂直共振器型面発光レーザにおいて、それぞれ5.2mAと1.2mAのしきい値電流が得られている。

また、共振器内に可飽和吸収層を導入した双安定レーザの検討も行われており、面発光レーザは、単に発光素子としてだけでなく、光スイッチ、光メモリなどの機能を有する光論理素子への発展性も期待できる。

	レーザ単体	2次元アレー	他のデバイスとの結合
1. 垂直共振器 	・狭出射ビーム ・単一波長 ・極低しきい値	密度・面内配達の自由度大	積層集積化が可能
2. 水平共振器 回折格子  45° 反射鏡 	・狭出射ビーム ・効率が低い ・DBR/DFB の技術が利用可能 ・収差が問題 ・反射鏡の面精度、角度に依存 ・ストライプレーザの技術が利用可能	共振器長により制限 ・共振器長により制限 ・高出力化可能	ビーム出射角度が不安定 ビーム広がり角大
3. 曲がり共振器 曲がり導波路  45° 反射鏡 	・単峰性の垂直ビームが得られない ・製作が容易 ・反射鏡の面精度、角度に依存 ・ストライプレーザの技術が利用可能	共振器長により制限 共振器長により制限	ビーム広がり角大 ビーム広がり角大

図表4.1-37 面発光レーザの種類と特徴

今後、面発光レーザのようなアレイ状発光素子は、他の2次元アレイ状の光素子（マイクロレンズアレイ、空間光変調素子など）と3次的に集積化する方向に展開されると予想される。このような複合的機能を集積した積層光学デバイスは、光軸合わせや機械的強度の面で有利となる。

② 波長変換素子

光の波長軸での並列性を利用するため、波長変換素子の研究が進められている。主に光交換などの大容量光通信への応用が考えられているが、情報処理の分野においても波長多重の発光素子は重要な要素技術の一つである。特に、光インタコネクションなどへの適用が期待できる。低入力パワーで動作する連続波長掃引が可能な波長変換素子が、可飽和吸

収領域をもつ多電極 DFBレーザで実現されている。可飽和吸収領域に外部から入力光を照射したときだけレーザ発振し、駆動電流の分布を変化させると、その波長が掃引できる。素子構造は、前述の双安定半導体レーザとほぼ同じである。約5オングストローム波長の掃引と500MHzの応答速度が報告されている。

一方、1つの波長を選択的に取り出すため、狭帯域かつ波長可変できる光能動波長フィルタとしてDFB型の半導体レーザ増幅器が用いられる。利得の半値幅を 3.6 ± 0.4 GHzに保ちながら、利得の中心波長を33.3 GHzにわたって掃引した実験が報告されている。また、波長変換素子と波長フィルタ素子を組み合わせることで、光波長スイッチングが行える。

〔参考文献〕

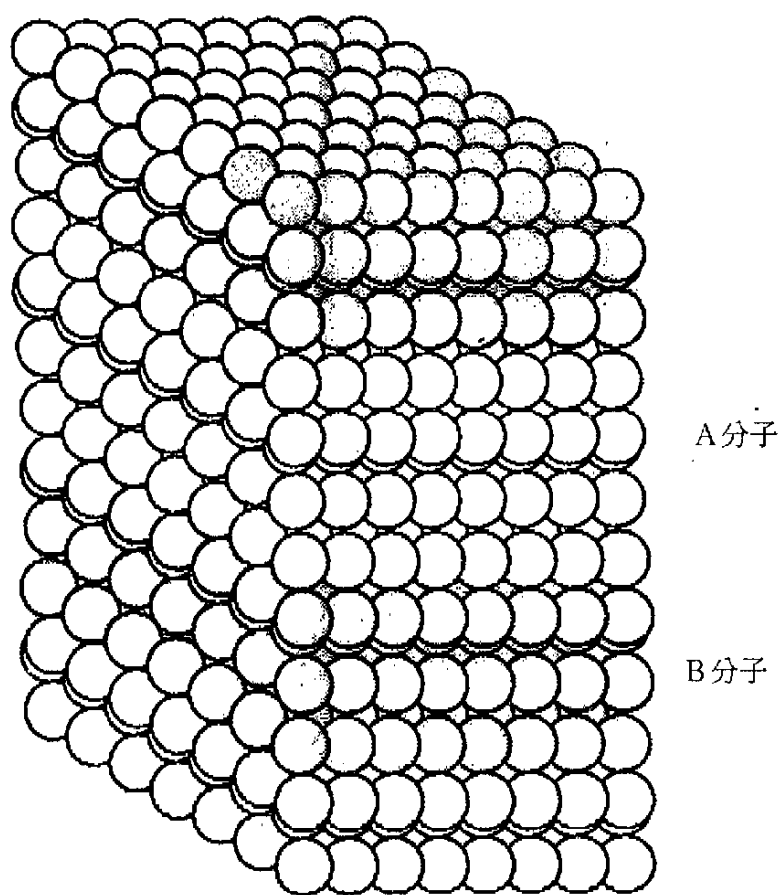
- [1] 間多均：“空間光変調素子” OPTORONICS, 7, 124(1988).
- [2] 久間和生：“空間光デバイス” 光技術動向調査報告書V, 光技術の先端動向と今後の展望（光産業技術振興協会），189(1989).
- [3] 西田信夫：“空間光変調素子” 第26回 サマ・セミナ「光コンピューティングと光学技術」（応用物理学会 分科会 日本光学会），73(1989).
- [4] 河口仁司：“非線形光学材料・デバイス（Ⅰ）双安定レーザ・位相共役” 第26回 サマ・セミナ「光コンピューティングと光学技術」（応用物理学会 分科会 日本光学会），115(1989).
- [5] 笠原健一：“非線形光学材料・デバイス（Ⅱ）—光機能素子—” 同上, 131(1989).
- [6] J.L.Jewell et al : Appl. Phys. Lett., 46, 918(1985).
- [7] Y.H.Lee et al : Appl. Phys.Lett., 49, 486(1986).
- [8] T.Venkatesan et al : Appl.Phys. Lett., 48, 145(1986).
- [9] D.A.B. Miller et al : IEEE J. Quantum Electron., QE-21, 1462(1985).
- [10] D.A.B. Miller et al : Appl. Phys. Lett., 49, 821(1986).
- [11] A.L. Lentine et al : CLEO, PDP Th12-1(Baltimore, 1987).
- [12] 向井誠一、矢嶋弘義：“出力ビーム偏向・集束形半導体レーザ” Optics E, 8, 114 (1989).
- [13] 伊賀健一、小山二三夫：“面発光レーザの最近の進展” 第33回 微小光学研究会, 36(1989).

4.1.3.4. 量子効果光デバイスと新情報処理

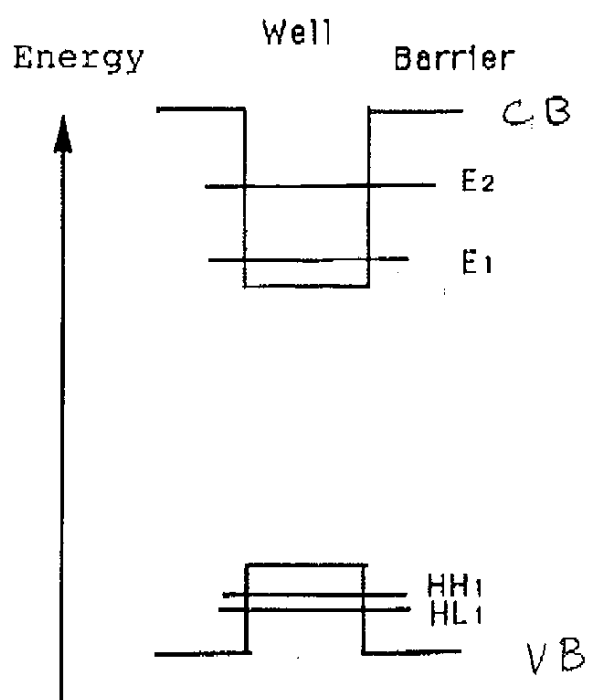
(1) 量子効果光デバイスとは

レーザおよびその周辺分野を総称して「量子エレクトロニクス」と呼ぶ。この名の示すように、半導体レーザをはじめとする光デバイスを含めて、これらは十分に量子効果を用いているといえる。それは、エレクトロニクスにおいて用いられるエネルギーが光の領域になると、電磁波の発振や増幅を行うとき量子力学的帰結として生じる原子や分子のエネルギー準位を利用せざるをえないことから付けられた名称である。一方、この項で取り上げる「量子効果デバイス」とは、これら光・電子デバイス構造の活性部分に半導体中に生じる量子力学的効果を積極的に用いているものをいう。それは、電子をそのドブロイ波長より狭いポテンシャルの壁で囲まれた空間に閉じ込めることにより生じる電子の離散的準位を半導体ヘテロ構造を用いて形成し、デバイス中に組み込むものである。この一連の研究は、超薄膜結晶成長技術の発展に支えられ進展してきた。それは、このような構造は原子スケールで制御された半導体ヘテロ構造により形成されているからである。これらの構造を、一般に「人工量子構造」とよぶ。この名称の由縁は、物理現象を設計し、半導体を用いて対応する構造中にそれを人工的に作り込むことによる。であるから、「人工量子構造」のエレクトロニクスデバイスへの導入は、従来の物理現象の選択、材料の選択といったデバイス設計活動からより積極的な設計活動へと発展している様をいい表しているともいえる。特に、最近光デバイスへのこのような量子効果の活用が著しい。この節では、「人工量子構造」を用いた光デバイスの現状と将来と、新情報処理への波及性について述べる。

現在、典型的な「人工量子構造」としては、“超格子”・“量子井戸”と呼ばれる2次元構造の物質群がある。このような構造は、図表4.1-38に示すように2種類の物質を交互に積み重ねた構造であり、各々の層の厚みはおおよそ数～数十分子層である。つまり原子層オーダーで厚み制御された構造である。このような構造では、図表4.1-39に示すように厚み方向に離散的な電子のエネルギー準位が形成される。この準位は、代表的な量子力学の基本問題の解答として与えられる。この結果、電子のエネルギー占有確率である状態密度が電子にとって厚さ無限大とみなせるバルク半導体の連続状態から階段状となる。このような、電子状態の変化が、以下に述べる光デバイスの性能向上や新機能への基礎となっている。



図表4.1-38 半導体超格子構造の模式図



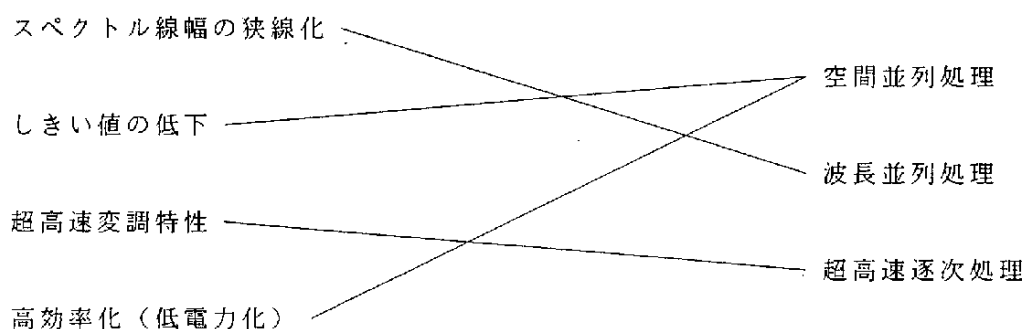
図表4.1-39 量子井戸の電子準位

(2) 人工量子構造による光デバイスの性能向上

光デバイスにおいて、既存のデバイス構造の一部を人工量子構造で置き換えることにより、性能向上が期待できる。例えば、半導体レーザダイオード (LD) の活性層を量子井戸構造とすれば、以下のような性能構造が期待できる。

- ① スペクトル線幅の狭線化
- ② しきい値電流の低下
- ③ 高効率化

レーザ光源の特長はスペクトル線幅が狭いことにあるが、LDは他のレーザと比較してその線幅が広い。この改善として、活性層領域に「人工量子井戸」を用いると、前述の状態密度に依存して、自然放出／誘導放出比とキャリア揺らぎの低減が実現できるので、線幅を1/10程度にすることができる。この性質は、光エレクトロニクスの特長の一つである波長多重技術において情報密度の向上とクロストークの低減といった利点を生み出す。一方、しきい値電流は、量子井戸構造活性層の微分利得の増大から、低減できる。この効果は、将来の光情報処理の担い手であるOEICを考えると、低消費電力・高効率の要請に応えるものであり、アレイ化、マトリックス化レーザの実現と光情報の面処理デバイス、光配線への波及が期待される。また、超高速変調、超短パルス光発生にも上記の電子構造に依存した微分利得の増大により大幅な改善が期待できる (図表4.1-40)。



図表4.1-40 レーザダイオードの量子井戸による性能改善と光情報処理への波及性

さらに、「量子井戸」について物理設計・構造設計の概念を推し進める段階に入ると、例えば正孔の有効質量の制御に代表される物性制御を用いた性能向上が期待できる。格子定数の異なる物質で形成された歪量子井戸においては、軽い正孔と重い正孔のエネルギー関係がバルクと逆転するので、さらに変調周波数の向上、しきい値電流の低減、スペクト

ル線幅の狭線化、チャージングの抑制が理論的に予見される。しかし、これらの性能の確認は、いまだ不十分な状況である。今後、結晶成長技術の開発、歪量子井戸の価電子帯・伝導帯構造の研究などの基礎研究の成果に立脚した技術開発が必要となる。

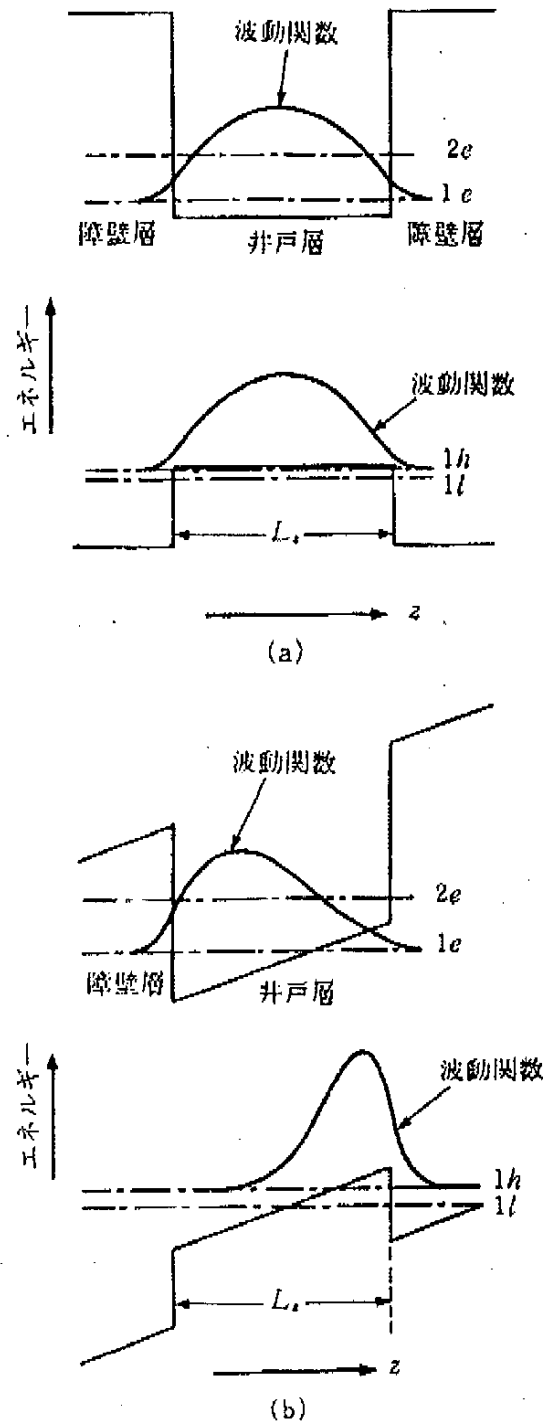
以上述べたように、既存デバイスへの「人工量子構造」の導入は初期の性能向上の確認の段階にあり、今後デバイス設計概念、作製技術開発を確立し成熟期への発展を促進し、システム応用に対応していくことが重要である。

(3) 人工量子構造を用いた新規デバイス

「人工量子構造」はその特異な電子状態から、新規のデバイスを生み出す。特に、光変調器にその著しいものがある。この場合基礎となる物理現象は、「量子閉じ込めシュタルク効果 (Quantum Confined Stark Effect: QCSE)」である。光励起した量子井戸に垂直に電界を印加すると、図表4.1-41に示すように励起子は量子井戸のバリア層の作るポテンシャルの壁により解離せず、電子と正孔の波動関数は井戸内で反対方向にゆがむ。そのとき実行的なバンドギャップの変化や発光強度の変化が電界強度を関数として生じる。特に、この効果を用いた電界吸収型の光変調器の開発が進んでいる。また、外部電場に変えて、光電場で誘起した光シュタルク効果 (ACシュタルク効果) を用いた光ポンプ光変調器も基礎的研究が進んでいる。光シュタルク効果変調器は、全光スイッチングを可能とするので光情報処理分野での応用の期待が大きい。特に、光の空間並列性をポンプ光に持ち込めば、空間並列化されたスイッチングが可能となる。このように、量子井戸構造では励起子がバルクより大きな束縛エネルギーを持つゆえに室温以上の温度領域で励起子を媒介した素子が可能となり、今後の発展の期待の大きな分野と見込まれている。しかし、この分野の研究の歴史は浅く、基礎となる物理過程に不明な点が多い。今後は、これらの現象を用いたデバイス開発のための情報として、物理的解釈を進める努力が必要となる。さらに、実証的デバイスの作製とそれを用いた光プロセッサによる光情報処理の実現を目指すことが必要である。

また、人工量子構造は離散した電子準位を提供し、空間的な配置や電界により結合させることもできる。この準位を用いた多値論理素子が考えられる。図表4.1-42は、3次元に制御された人工量子構造とその電子準位を示している。空間的に隔たった2つの井戸内の準位が1部で結合しポテンシャルエネルギーを介した多値状態が生じる。このような3次元に制御された構造は次項で述べるように実現されていないが、孤立した電子準位は外部的

に制御できるメモリ状態としての有用性が指摘できる。今後、このような多値論理素子のデバイスデザインと作製技術の研究が望まれる。

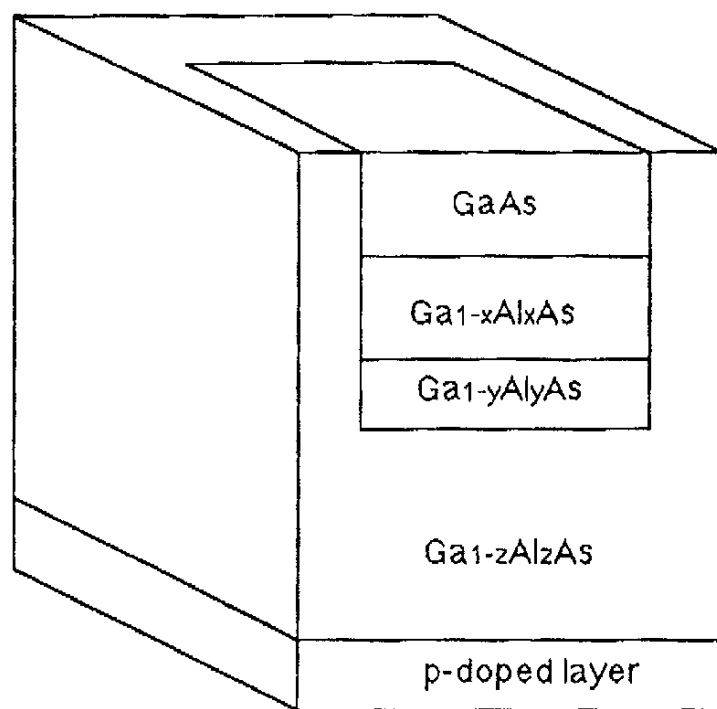


図表4.1-41 量子井戸構造の電界効果

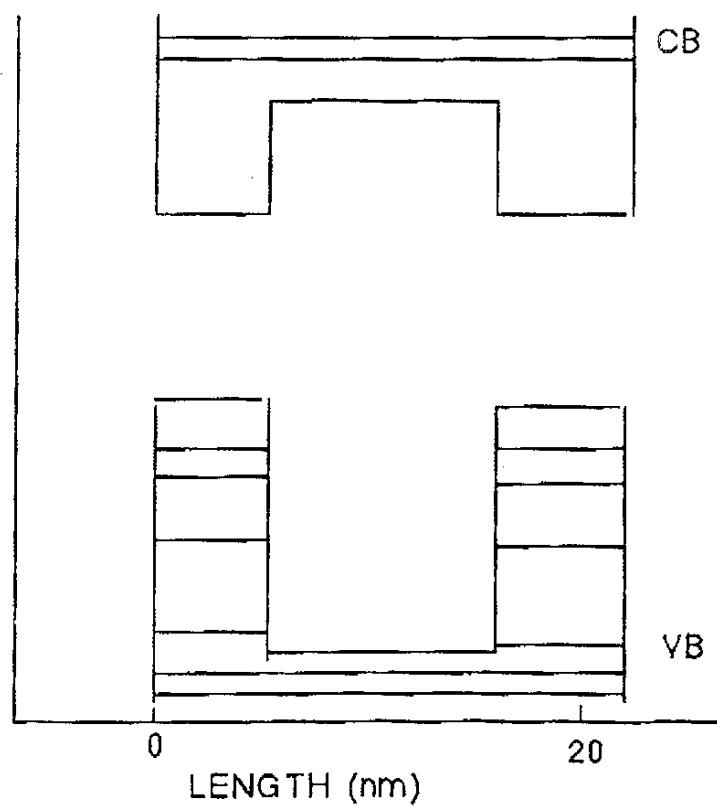
(a) $E = 0$ (b) $E \neq 0$

(b) では、波動関数が歪み、重なりが少なくなるので発光強度の減少

② 吸収端の赤方偏移が生じる



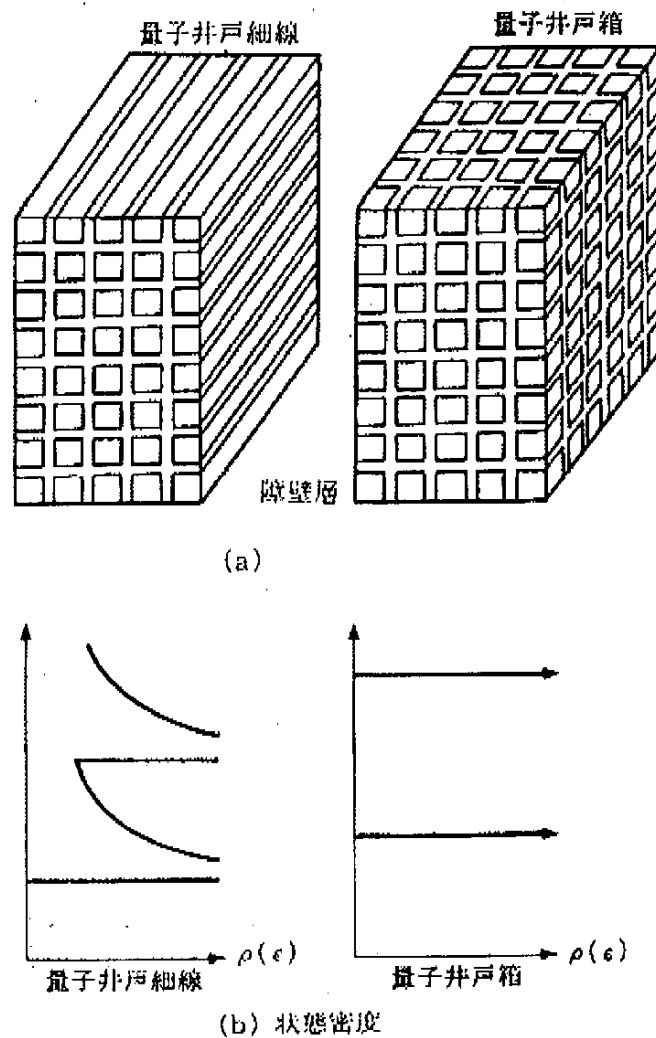
ENERGY



図表4.1-42 3次元人工量子構造と電子構造

(4) 量子効果光デバイスの発展方向

量子効果デバイス研究は、半導体プロセス技術の微細化の進展に支えられてきた。これまで述べてきたように、量子井戸を典型とする2次元多層極薄膜構造を用いたキャリアの1次元量子化が実現し、光デバイスにおける有用性についての基本的確認の研究が進められている。一方、2次元量子化構造である“量子細線”、3次元量子化構造である“量子箱”については、その作製技術が研究され始めたばかりである。量子細線・量子箱の構造と状態密度形状を図表4.1-43に示した。閉じ込め次元が高くなるにつれて状態密度がエネルギーに対して急峻になる。この結果、さらに、量子効果が顕著になる。現在、量子箱については、不均一量子箱構造である半導体ドーパガラス（色ガラスフィルタ）を用いて物性の探索的研究が行われている。特に、非線型光学効果の立場から、図表4.1-44に示すよ



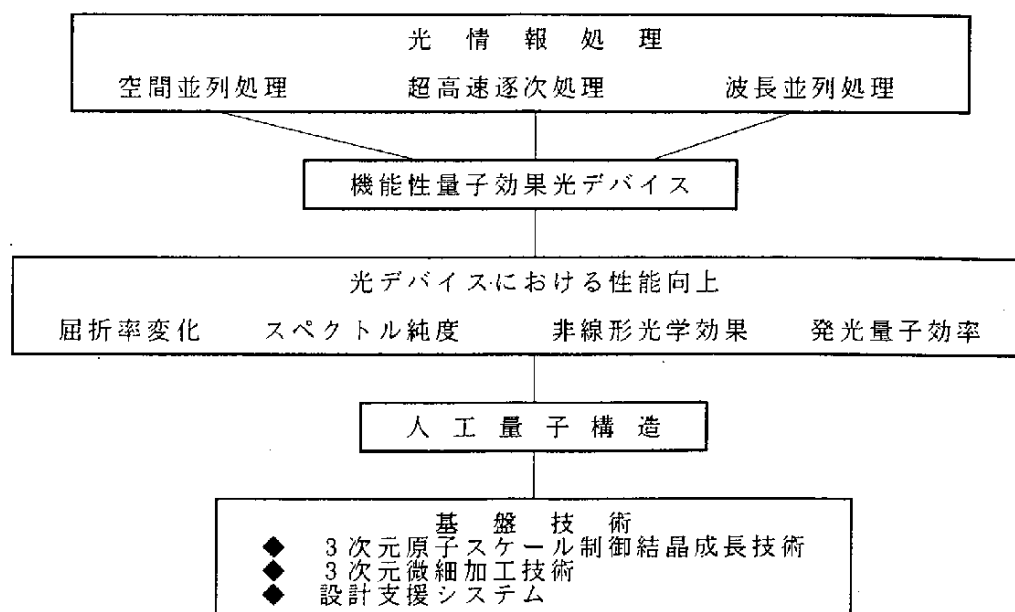
図表4.1-43 量子細線・量子箱の状態密度

うに、半導体ドーパガラスは低パワー、超高速光スイッチング素子への応用が見込まれる。さらに、均一な量子箱を作製すれば、鋭いスペクトルが得られるのでさらに性能の向上が期待できる。しかし、量子細線、量子箱の作製技術の開発は、現在未踏の分野であり、今後この方面の技術開発が期待されるが、国家プロジェクトなどの研究協力体制が整いつつあり、これらの成果をベースとした、実証的検討が待たれる。

材 料	非線形光学プロセス	屈折率変化 (cm ² /W)	応答速度(sec)
G a A s バ ル ク	バンドフィリング	10 ⁻⁶	10 ⁻⁸
半 導 体 M Q W	2次元励起子	10 ⁻⁴	10 ⁻⁸
半導体ドーパガラス	0次元励起子	10 ⁻¹⁰	10 ⁻¹¹

図表4.1-44 半導体非線形光学効果

以上述べた量子効果光デバイスに関する技術相関の様子を図表4.1-45に示した。人工量子構造を用いた光デバイスは、従来デバイスの性能向上に留まらず、新規デバイス開発の有用な物性を与える。この成果は、光情報処理技術への波及が期待される。しかし、この進展を支えるのは、半導体プロセス技術の微細化にむけての進歩であり、原子スケールの多次元構造形成技術の発展である。加えて光デバイスの設計概念の大幅な進歩がこの方面の技術開発を促進するので、設計支援体制の強化が必要である。



図表4.1-45 人工量子構造と光情報処理

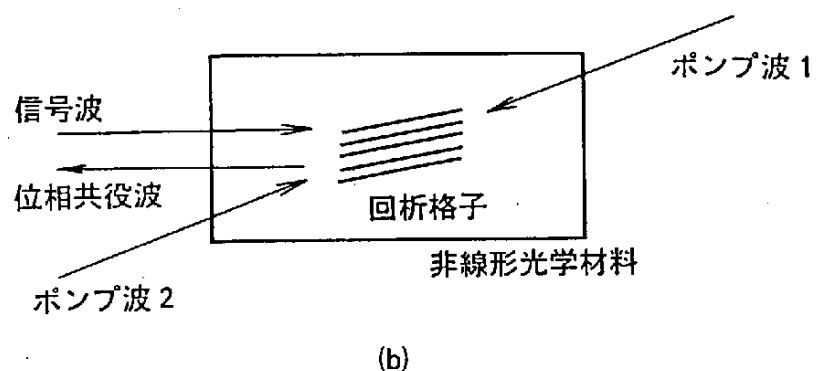
4.1.3.5 光新現象と新情報処理

非線形効果等の新現象は、光デバイスや光回路の高性能化、高機能化ばかりでなく、システムの基本概念を変革させる可能性がある。以下、最近の光新現象として、位相共役、光カオス、ポラリトンについて概観する。

(1) 位相共役

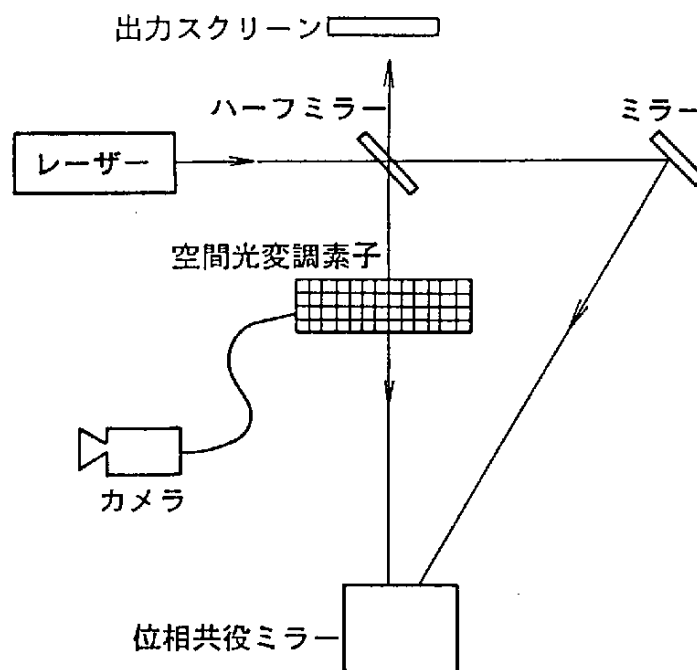
光情報処理システムを構築する重要なデバイスの一つとして、入射光の波面や伝播方向を制御する波面制御素子があげられる。この波面制御素子の実現には、光波に対する屈折率が光学的あるいは電氣的に変化する非線形光学材料が必要である。波面制御素子機能を持つデバイスの一例として、位相共役素子について述べる。位相共役波とは、ある入射光に対して、何らかの方法で位相、すなわち波面が反転した光波をいう。また、位相共役波を発生させる素子を位相共役ミラーと呼ぶ。

位相共役波は、一般的に、図表4.1-46に示す4波混合法によって発生される。非線形光学材料としては、光屈折性結晶 (BaTiO_3 、SBN、 LiNbO_3 等)、化合物半導体材料(GaAs、InP、MQW、半導体レーザ媒質等)、有機非線形結晶等が研究されている。



図表4.1-46 4波混合法による位相共役波の発生法の原理図

位相共役ミラーの様々な画像処理への応用の可能性が検討されているが、その一例を図表4.1-47に示す[2]。生物の視覚情報処理の重要な機能の一つである、動的物体を選択抽出する異常検出フィルタである。テレビカメラの映像を（位相）空間光変調素子に表示して、位相共役ミラーを介してレーザ光を往復させる。この時、静止画像は位相共役波の作用によって、復路で波面が補償される。しかし、動的画像に対しては、波面が補償されないため、スクリーンには動的画像のみが抽出して現れる。このような、現行のコンピュータが不得手とする画像情報を超高速（原理的には $\sim\text{ns}$ 程度）に処理できる。



図表4. 1-47 位相共役波を用いた動的物体の検出方法の例[2]

屈折率の制御が可能な非線型光学材料は、上述した直接的な画像処理への応用の他にも、空間的に分散した多くのプロセッサ間の通信を柔軟に切り換える光インタコネクション用材料としても、今後の発展が期待される。

(2) 光カオス

最近、生体等の自然現象で観測される動力学系を何らかの方法で情報処理系と対応させて、柔軟な情報処理システムを実現しようとする研究が盛んである。中でも、カオスを含む非線型動力学系が注目されている。カオスとは、決定論に従う力学系が inputs のわずかな変化に敏感に依存して、出力の予測が不可能な振る舞いをする現象である。

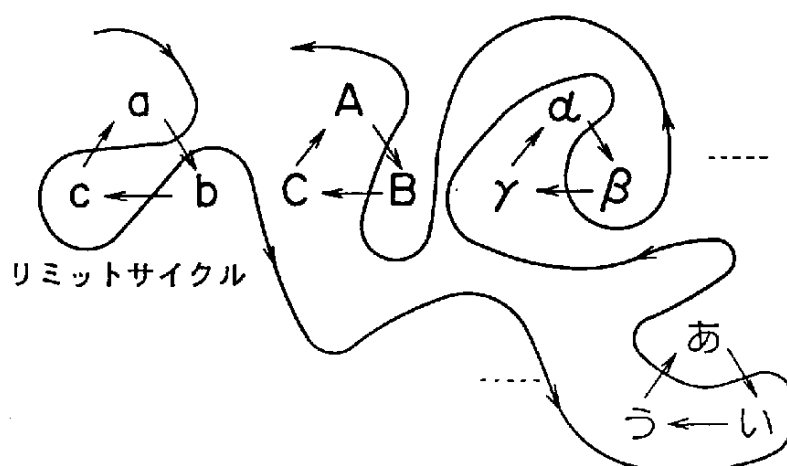
カオスを用いた情報検索の概念図を図表4. 1-48に示す[3]。何個かのリミットサイクルをアトラクタとして埋め込んだネットワークの相空間を遍歴するカオスの振る舞いを示したものである。ここで、適切なシステムパラメータを見つけて、これを制御できれば、遍歴軌道にある状態をあるリミットサイクルに引き込むことができる。

ある種の非線形光共振器の中では、非常に多くの安定モードが階層化された分岐構造を形成して、光波がカオス的に振る舞うことが知られている。最近、この光カオスの複雑な振る舞いを、簡単なルールでしかも簡単な光システムで制御できる可能性があることが示された。図表4. 1-49に示すように[4]、光の時間遅延（光ファイバ）が問題となるような

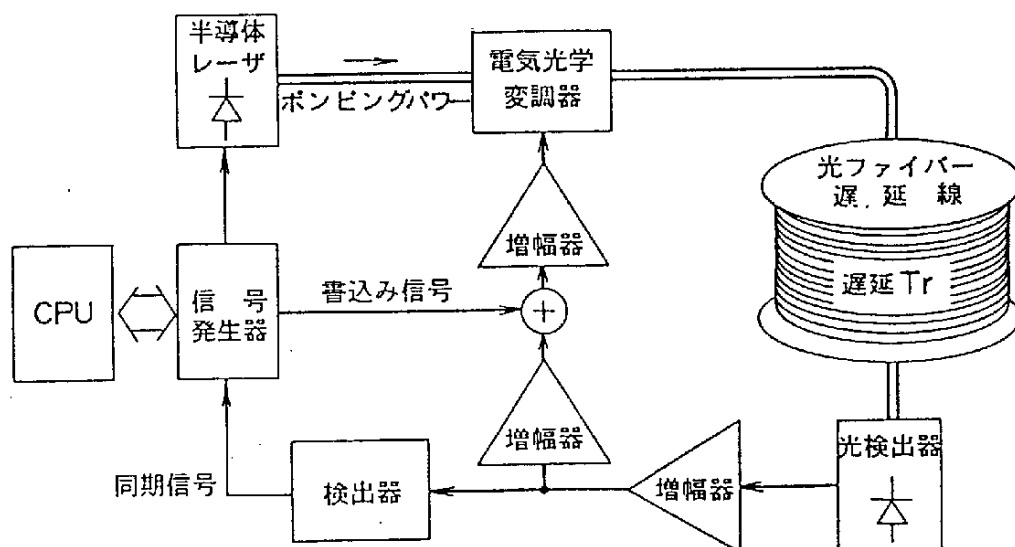
非線形共振器において、あるシステムパラメータ、例えば共振器に注入するポンピング光パワーによって、多くの発振モードの状態をスイッチングできることが報告されている。

それぞれの発振モードを何らかの情報に対応づけ、モード選択を自由に制御できれば、入力信号によってモードのスイッチングができるので、制約充足型のリレーショナルデータベースに適用可能である。

ここで、重要なことは、カオスによる検索能力は相空間のしらみつぶしではないので、検索時間が極めて短いことである。



図表4.1-48 カオスを用いた情報検索の概念図[3]

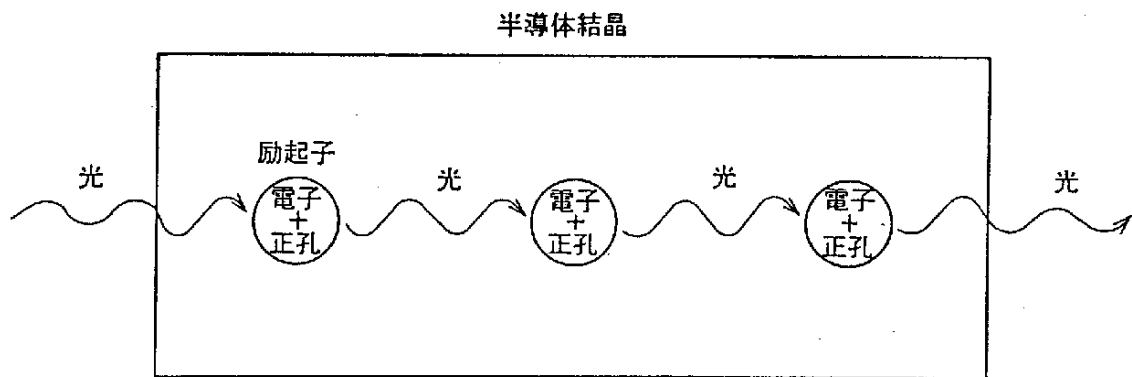


図表4.1-49 非線形光共振器を用いた情報検索の基本原理
ポンピングパワーによって、発振モードのスイッチングが可能である[4]

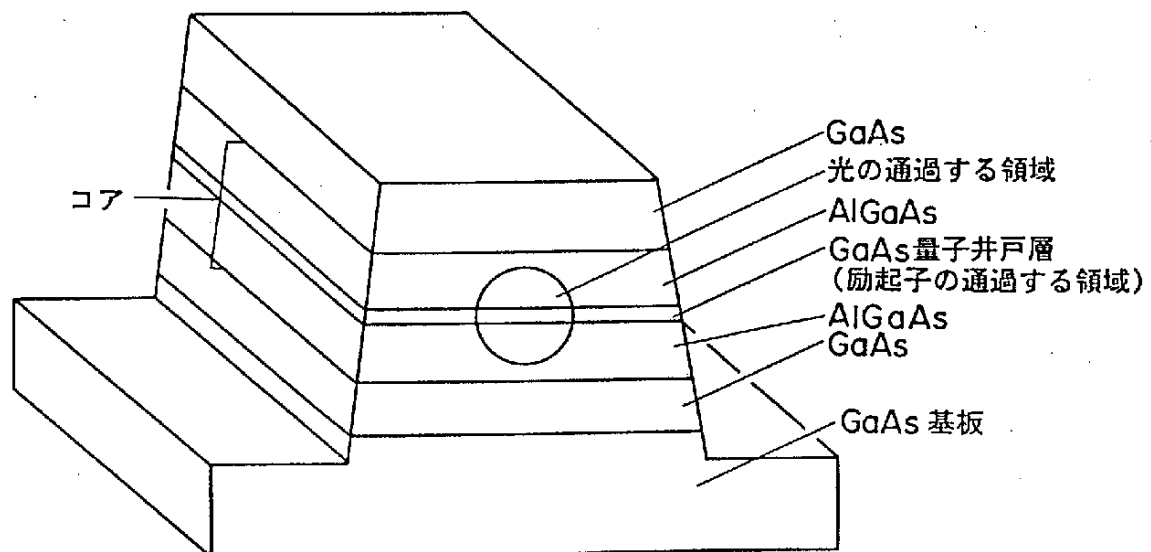
(3) 光と電子の融合現象

光の高速性と電子の制御性を兼ね備えしかも人工的に操作できる新しい現象と、これを利用した光電子融合機能素子の探索が注目されている。その一例として、励起子ポラリトンについて述べる。

GaAs/AlGaAs MQW 等の量子井戸構造では、励起子（電子と正孔がクーロン力で束縛され対をなした状態）が室温で安定に存在することがよく知られている。この励起子を利用した多くの光デバイスも提案されている。励起子ポラリトンとは、この励起子と光が結合した状態をいう。従って、励起子ポラリトンは、光の性質と、電子の性質を兼ね備えた粒子と考えられる。励起子ポラリトンの興味深い点は、図表4.1-50に示すように[5]、数fsの周期で励起子の状態と光の状態が交互に変換されながら伝播することである。励起子の速度は光の1/1000程度である。従って、半導体素子中の電子のように、外部から電界や磁界を印加することによって、その進路や速度を制御しやすい。



図表4.1-50 半導体結晶中での励起子ポラリトンの伝播の概念[5]



図表4.1-51 光と励起子を導波する複合導波路[5]

最近、図表4.5-51に示す[5] 複合導波路を伝播する励起子ポラリトンの研究が進められている。複合の意味は、光はAlGaAsで構成されたコアを、一方励起子はGaAs量子井戸層を伝播することである。この基礎実験結果から、励起子ポラリトンの性質が明らかにされつつある。

このような光と電子の特徴を兼ね備えた粒子の基礎研究は、今後新しい概念の高速スイッチや論理素子を探索する上で重要であろう。

〔参考文献〕

- [1] A.Yariv, Optical Electronics 3rd Ed. (Holt, Reinhart and Winston, 1985)
- [2] D.Z.Anderson, D.M.Lininger and J.Feinberg, Opt. Lett., 12, 123(1987).
- [3] 奈良, P.Davis, 数理科学, 311, 70(May 1989).
- [4] P.Davis (ATR) 氏による。
- [5] 勝山, 小川, サイエンス, 48 (1989, 12).

4.2 電子デバイス

4.2.1 電子デバイスと新情報処理

今日の情報処理のハードウェア面を支える電子デバイスに関しては、半導体デバイス、特に Si-VLSIが決定的な役割を占めて来たと言っても過言でない。その代表であるメモリ素子を取り上げれば、既に $0.8\mu\text{m}$ 程度のゲート長を持つ MOSトランジスタの集積化により、4MビットDRAMの商用生産が開始されており、既存の素子構造を用いて少なくとも16ビットDRAM (ゲート長 $0.2\sim 0.1\mu\text{m}$)程度までの集積化が可能であるとの見通しが得られつつある。しかし、これまで順調な発展を遂げてきた Si-VLSIも、素子寸法が $0.1\mu\text{m}$ 以下の領域に踏み込むに従って、単なる比例縮小や製造技術の改良と言った従来手法による性能の向上は、不純物のばらつき、寄生容量の増大、短チャネル効果やホットキャリア発生等の様々な困難に阻害され始め、やがて破綻を迎えると予想される。

このような従来技術の飽和が予測される状況において超高速、超多重といった21世紀の高度情報化社会における新情報処理の要請に応えるという視点からは、4.1節で述べた光技術の手法が最も期待されている。しかし、電子デバイスの側からも前述の技術的な壁を

ブレイクスルーする幾つかの新しい素子が研究されており、実現されれば新情報処理の分野に寄与するものと思われる。電子デバイスにおいては、材料的にはシリコンを中心として進むというこれまでの状況に大きな変化が起きるとは考えにくい、これと相補的に他の材料によるデバイスの重要性もますます高まって来るものと思われる。ここでは新情報処理の要素技術になると考えられる幾つかの電子デバイスの研究開発状況について述べる。

まず、4.2.2 項においては、現在の Si-VLSI 技術によって実現できるニューロチップの例を、アナログ型とデジタル型について述べる。

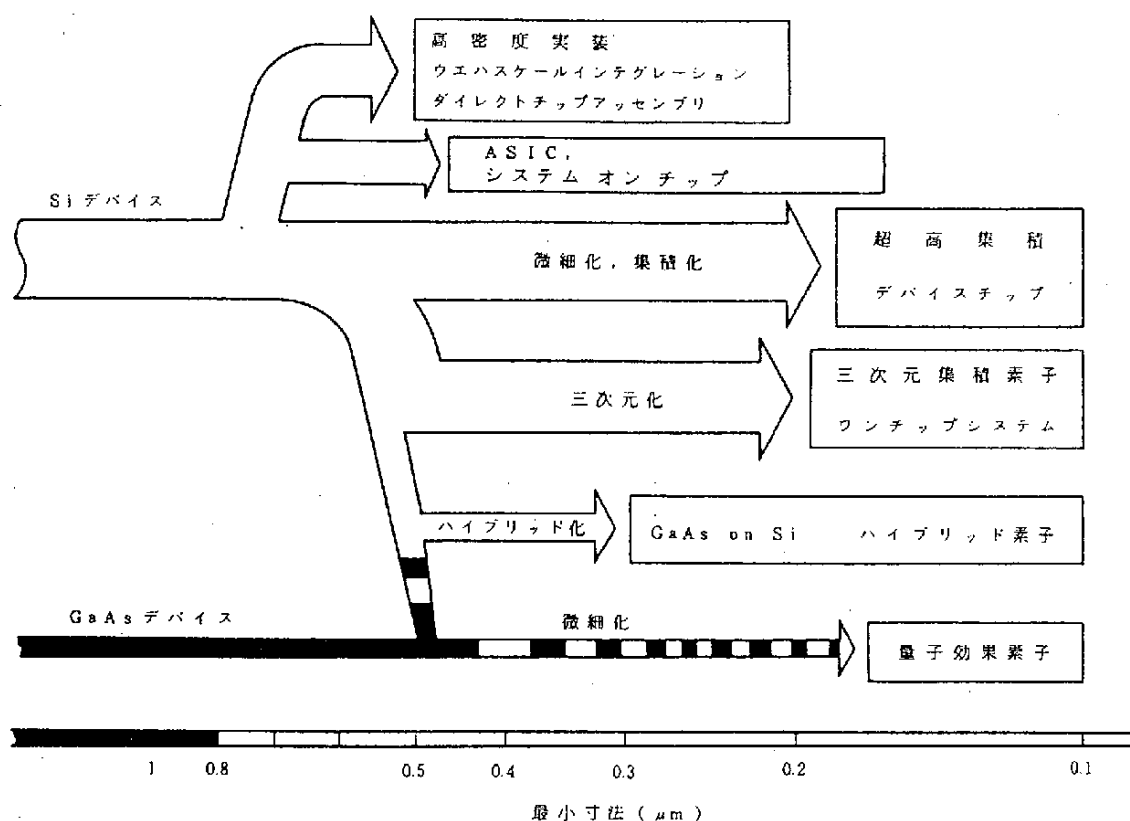
つぎに、将来の電子デバイスのうちでニューロデバイスに関係した幾つかの例について述べる。

シリコンを中心とした電子デバイスの、集積化プロセス技術の観点から見た開発のトレンドを図表4.2-1に示す[1]。まずメインストリームとして、微細化による高集積化がある。IBM より発表された $0.1\mu\text{m}$ ゲートNMOS FETによる、77K で10ps/gate という超高速は、HEMTやジョセフソン素子にも匹敵する値であり、シリコンVLSIの今後十年間の研究開発の目標を与えている。このような従来素子の微細化とともに、Bi-CMOS のような素子の複合化、寄生容量を大幅に減少させる自己整合型素子、さらには低温動作や超伝導配線などの技術が発展し、超高集積、超高速、高機能化がますます進むものと思われる。

素子を三次元に集積化することによって、配線長減少、容量減少による高速化、並列処理、多機能化といった数々の優れた特長を発揮できることになる。通産省の「次世代産業基盤技術研究開発制度」において、三次元回路素子は開発テーマの1つとして取り上げられており、いままで9年間の研究開発の結果、多くの成果を生み出しているが、これについては4.2.3 項で述べる。

ウェハスケールインテグレーションや、GaAs on Siのようなハイブリッド素子に関しては4.1.3.2 の項において述べたのでここでは省略する。

量子効果デバイスは主としてGaAsなどの化合物半導体の極微細化によって、量子力学的効果を発現させることを利用するものであり、従来の素子では実現困難であるような機能、例えば多値論理デバイスなどが実現できると予想されている。最近、シリコンにおいても、GeSi/Siのヘテロ構造を用いた量子効果デバイスが試作されており、集積化プロセス技術の観点からは、化合物半導体よりも有利なので注目されている。量子効果デバイスに関しては、最近、各省庁が相次いで研究開発プロジェクトを発足させており、関心も高まっている。これについては4.2.4 項で述べる。



図表4.2-1 シリコンデバイスの開発トレンド[1]

一方、半導体以外の材料では、ジョセフソン接合デバイスを用いた超高速計算機が、平成2年1月に終了した通産省の大型研究開発プロジェクト「科学技術用高速計算システムの研究開発」で基本動作を実証されており、その実現性は非常に高いと思われる。また、最近の酸化物高温超伝導材料の出現によって、ジョセフソン接合素子のみならず、超伝導／半導体ヘテロ構造トランジスタなどの新しいデバイスの展開が期待される。これに関しては4.2.5 項で述べる。

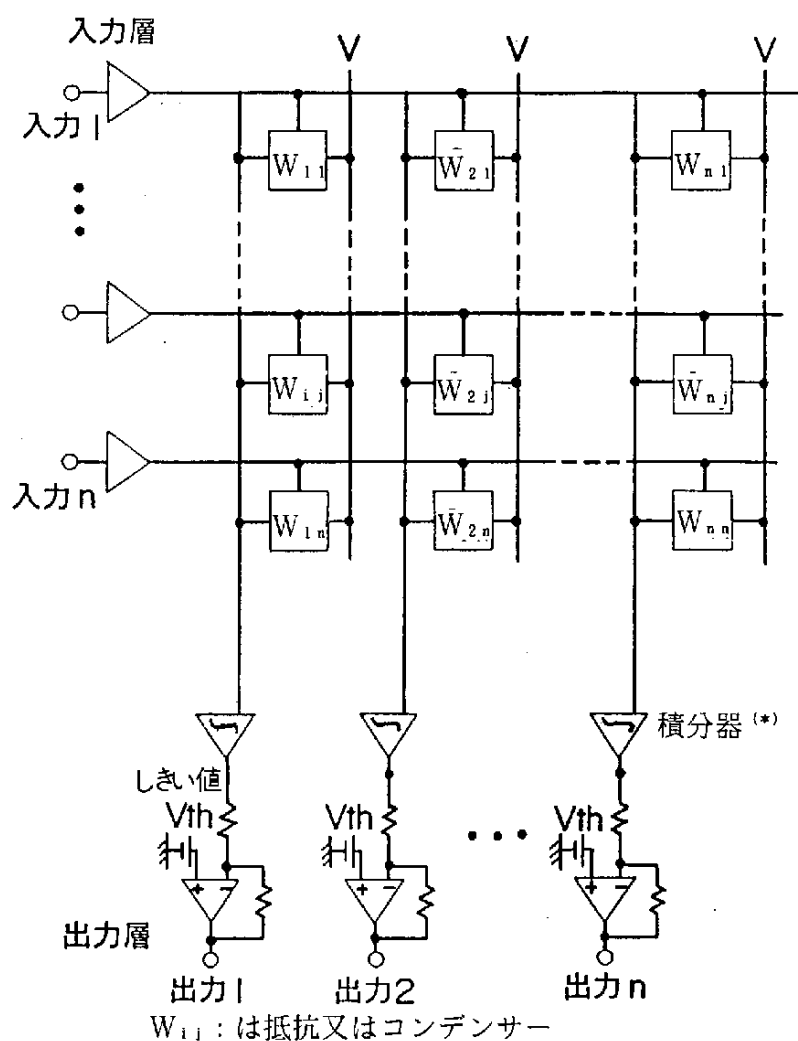
4.2.2 Si-LSI ニューロチップ

ニューラルネットワークを LSI で構成する方式として、アナログ回路とデジタル回路が考えられる。アナログ回路では、抵抗素子や容量素子でシナプス結合を表現するのに対して、デジタル方式では2進数のデジタル値で表現する。アナログ方式の特徴は、高速動作、大規模化が可能なこと、一方、デジタル方式の特徴は、高精度、RAM 技術の流用が可能な

ことである。以下、それぞれのニューロチップの代表例を示して、今後の開発課題について考察する。

①アナログニューロチップ

図表4.2-2に、アナログ素子をシナプス結合に用いたニューロチップの基本構成図を示す。入力線と出力線の交点に配置された抵抗素子または容量素子がシナプス素子に対応する。抵抗型では、 $2.5\mu\text{m}$ CMOS技術を用いた、ニューロン数54(サイズ $6.7\times 6.7\text{mm}^2$)、処理速度44GCPSの完全結合型の連想メモリ用チップが試作されている[2]。また、 $2.5\mu\text{m}$ EEPROM(Elect-rically Erasable and Programmable Memory)を用いた学習の導入が可能な64ニューロンチップの報告もある。一方、容量型でも、 $2.2\mu\text{m}$ BiCMOSによる64ニューロン ($18\times 13.5\text{mm}^2$)、処理速度 $\sim 8\times 10^7\text{CPS}$ の多層構造型の素子が試作されている。

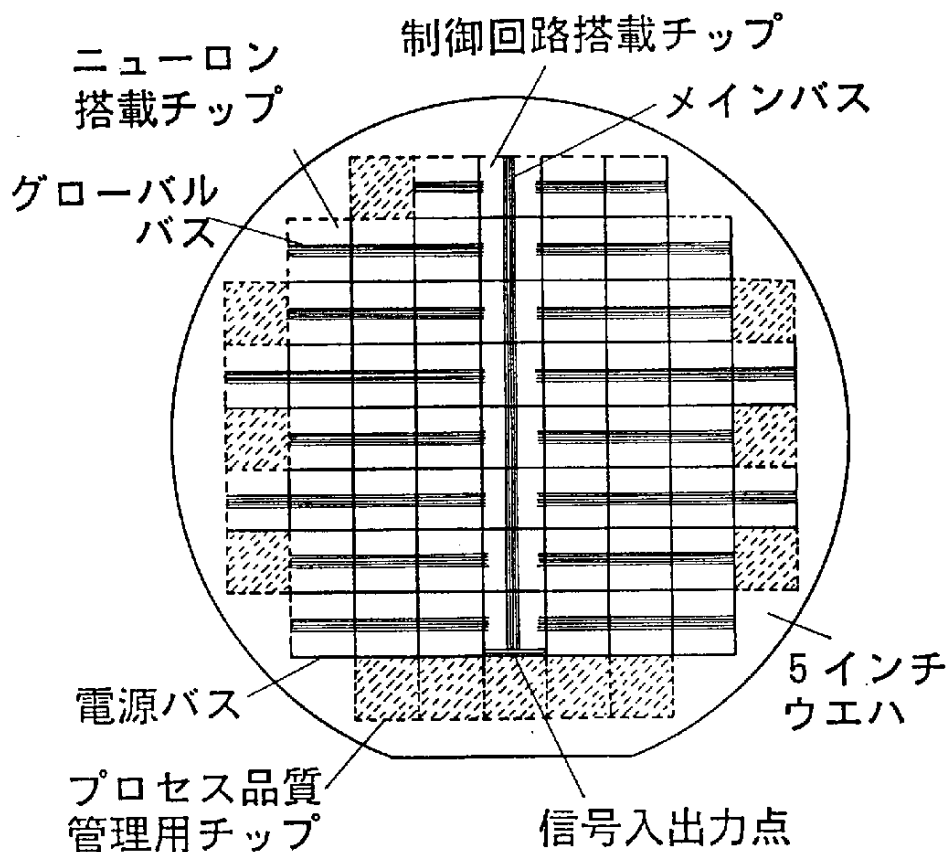


(*)積分器は抵抗ネットワークでは不要

図表4.2-2 アナログ素子をシナプス結合に用いたニューロチップの基本構成

②デジタルニューロチップ

図表4.2-3にWSI(Wafer Scale Integration)デジタルニューロチップの構成例を示す[3]。
0.8 μ m CMOS技術を用いて、5インチウェハ上に588個のニューロンが集積化されている。
このWSIは、ニューロン搭載チップ49個と制御回路、品質管理用チップで構成されている。
各々のニューロン搭載チップは、チップサイズ11.58 $\times$ 11.58mm²で、12個のニューロンと
768シナプスが搭載されている。



図表4.2-3 WSI技術を用いたデジタルニューロチップの構成例

シナプス回路はRAMと乗算器で、またニューロン回路は加算器としきい値関数回路で構成される。各ニューロン間には時分割デジタルバスで結合され、シナプス素子を時分割で利用している。また、システムの信頼性を向上するためにバスを3重化するとともに、バスを階層化して信号伝送をパイプライン化して信号処理時間の短縮化を目指している。現状で $\sim 10^9$ CPSの演算速度が得られている。

このように、現在までに報告されているSi₃Siニューロチップは、ニューロン数にして

～数百、最大演算速度～ 10^{10} 程度である。これに対して、今後、数万～数百万のニューロン数、～ 10^{12} CPS 以上の演算速度を持つハードウェアが必要になると予測される。この要求に対して、システムの拡張が可能なチップの開発とともに高集積、高速のチップの研究が必要である。アナログ方式、デジタル方式いずれも一長一短があり、現在のところ、優劣の判断はつきにくい。

アナログニューロチップにおける集積可能なニューロン数は、回路の消費電力で制限される。抵抗シナプス型では素子の高抵抗化に伴う低速動作の解決が重要である。容量シナプス型ではシナプス容量、寄生容量の低減化技術が重要である。一方、デジタルニューロチップにおけるニューロン数は、プロセスルールで制限される。しかし、 $0.2\mu\text{m}$ ルールが確立されても、ニューロン数～1000、演算速度～10GCPSと予測されている。WSI(Wafer Scale Integration)などの新技術の一層の発展が必要である。また、LSIチップ間の通信を大規模化するために、チップ間の2次元平面接続技術の開発も重要であろう。光配線技術や三次元LSI技術の発展が期待される。

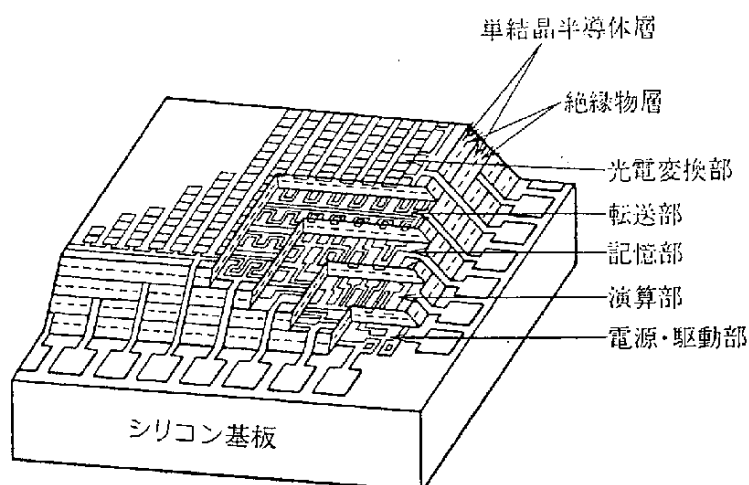
4.2.3 三次元回路素子

新情報処理という視点から見ると、三次元回路素子は電子デバイスの中では実現性も高く、また最も注目すべき素子と思われる。三次元回路素子の組織的な研究開発プロジェクトとしては、おそらく我が国で進行している次世代産業基盤技術研究開発制度によるものが、最も規模の大きなものである。平成2年度で10年目の最終年度を迎え、多くの素子を実証する段階に来ているので、ここでは次世代制度での成果を中心に述べるものとする。

三次元ICの概念図を図表4.2-4に示す[4]。これは基本的には絶縁膜を介して多層に積層された半導体活性層の各層に、論理素子、メモリ素子、光電変換素子等の回路要素を三次元的に配置結合するものである。三次元ICを実現するには、絶縁膜上に単結晶シリコン層を形成するSOI技術がキーテクノロジーとなるが、これはレーザや電子ビームを用いたビームアニール技術の発展によって支えられている。

三次元ICの目的は大きく分けて、(1)高集積化、高密度化と、(2)新しい機能を創出することにある。次世代プロジェクトがスタートした約10年前には、従来の二次元ICの微細化による集積度の限界が目前に迫って来ているという認識があり、それを解決する有力な手法として三次元ICが位置づけられていた。しかしその後、二次元ICの微細化の限界は、大方の予想以上に大幅に書き換えられ、現在では1GビットDRAMに相当する、ゲート長 $0.1\mu\text{m}$

の MOSトランジスタの基本動作も確認されるに至っている。したがって、多層に積層して単なる高集積化をねらうという目的は、現在のところやや後退している。しかし、二次元 ICに依然として限界があることは変わりなく、それに対するブレイクスルーとしての役割は今後とも残るものと思われる。



図表4.2-4 三次元ICの概念図（イメージ・プロセッサの例）[4]

一方、多機能化の視点については、情報処理の高度化に伴って、ますます重要となって来ている。三次元に積層することによって生じる新しい機能については、高集積化以外には以下のようなものがある。

1) 動作速度の高速化

三次元ICでは、上下層間をスルーホールで結ぶので信号伝達が速く、また、絶縁膜上の薄い結晶層に素子が作られているので、負荷容量が小さく、本質的に高速動作に向いている。

2) 並列処理

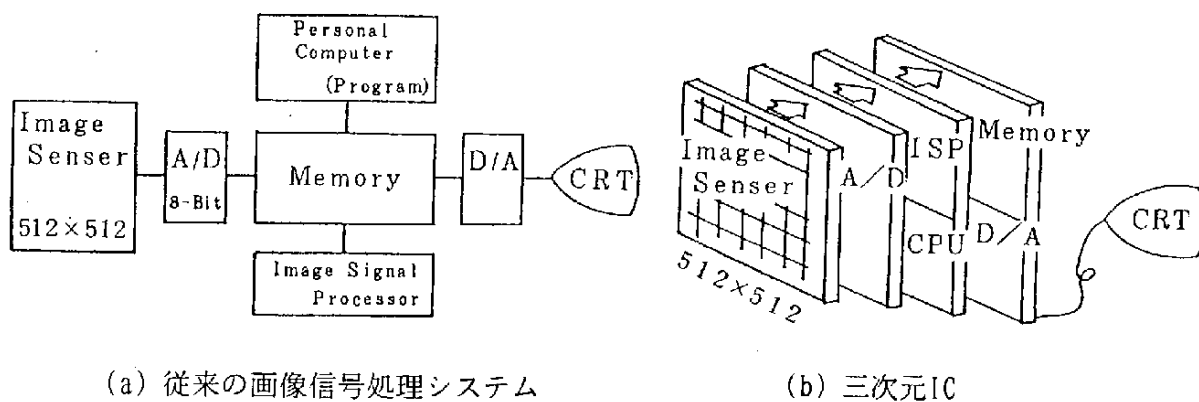
ごく短い距離で上下各層の回路がスルーホールを通して信号伝達が可能なため、並列処理によって処理速度が向上する。

3) 多機能化

図4.2-4に示したように、各層ごとに光電変換素子、演算素子、メモリ素子等の違った機能を集積し、それらを複合的に機能させることによって、イメージプロセッサのような新しい機能素子を形成することが可能となる。

ここでは、画像処理を三次元イメージプロセッサで実現した場合の性能向上の検討例に

ついて述べる[5]。画像処理技術はロボットの視覚認識や文字認識など応用分野が広く、また、高解像度が要求されるので、処理速度の制約が大きくなって来ている。図表4.2-5(a)はイメージセンサ、A/Dコンバータからの信号を外部記憶装置と専用LSIを付加したパーソナルコンピュータで処理するという、一般的な画像信号処理システムの一例を示す。イメージセンサは 512×512 画像、A/Dコンバータは8bit、10MHzでノンインターレース走査を行ったとする。最も基本的な 3×3 の空間積和演算を例にとり、各方法の信号処理時間を算出した結果は図表4.2-6のようになる。パーソナルコンピュータのプログラム処理のみでは1フレーム当たり、22.6秒、パイプライン処理による専用LSIが使用できるとして、ほぼTVフレームレートでの信号処理が可能になる。ただし、これ以上画素数が増大するとTVフレームレートは維持できない。これらに対して、図表4.2-5(b)はイメージセンサ、A/Dコンバータ、信号処理回路、CPU、メモリなどを積層化した三次元ICを示す。画素サイズと下層回路規模、完全並列か局所並列構成かで層数は変化するが、基本的には画素毎の完全並列処理が可能な配置を採れる。したがって、このときは1画像当りの処理時間が1フレームの処理時間となり、画素数の増加に対してもTVフレームレートを越えた実時間処理が可能となる。さらに、システムをワンチップ化することによって、移動物体、狭小環境など応用範囲は大きく広がることが予想される。このような画像信号処理に対する検討結果は、三次元ICの持つ可能性の一端を示したものと言えよう。



図表4.2-5 画像信号処理システムの比較[5]

図表4.2-5

(a) コンピュータ・プログラム処理

項目	時間
読出し時間(17フレーム)	26.2 msec
画像認識	
A/D変換	
記憶	
計算時間	22.6 sec
データアクセス	0.23 sec
信号処理	22.4 sec
合計時間(17フレーム)	22.6 sec
(フレームレート)	(-)

(b) ハイライン画像処理/LSI

項目	時間
画像認識	100 nsec
A/D変換	100 nsec
画像処理(17フレーム)	26.2 msec
処理時間(1pixel)	100 nsec
各フレームの遅延時間	0.156 msec
合計時間(17フレーム)	26.2 msec
(フレームレート)	(<38Hz)

(c) 三次元IC (並列処理)

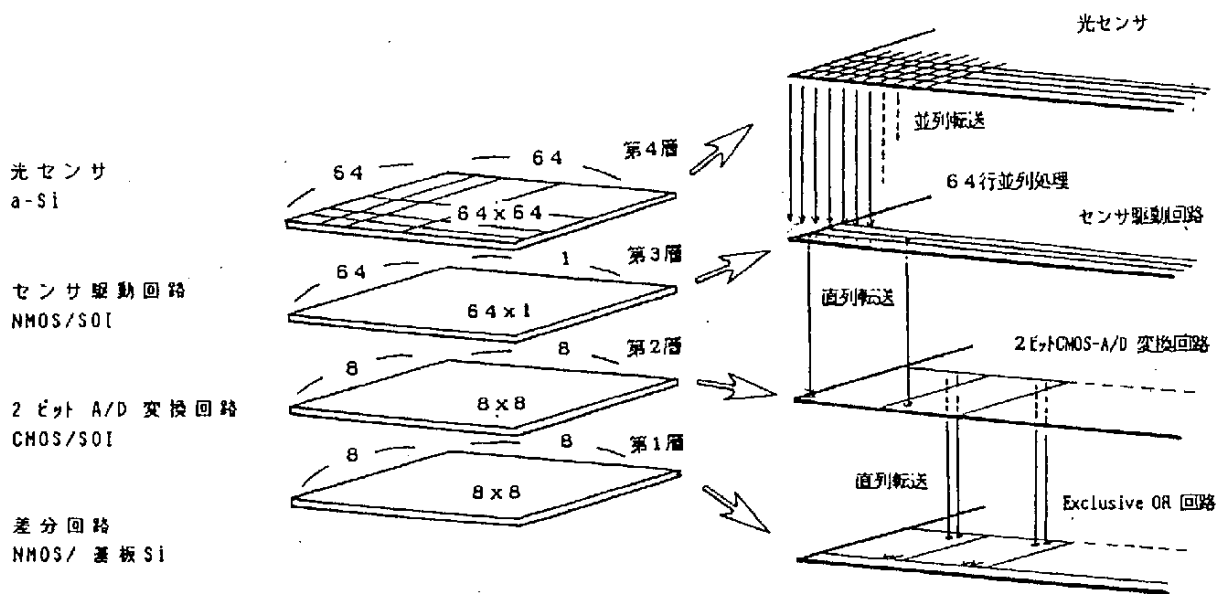
項目	時間
画像認識	100 nsec
A/D変換(17フレーム)	100 nsec
信号処理(17フレーム)	~5 μ sec
合計時間(17フレーム)	~5 μ sec
(フレームレート)	(<200kHz)

図表4.2-6 3×3ピクセル空間積和演算に必要な信号処理時間の比較
10MHzクロック、8ビットで512×512ピクセルを想定した[5]

図表4.2-6

つぎに三次元ICの実証素子の例について述べる。

図表4.2-7は現在、次世代制度で開発中のイメージプロセッサの基本構成図である[6]。このイメージプロセッサは画素数64×64、4層積層構造からなり、光電変換信号の2ビット(4諧調)A/D変換—ディジタル化と、それに続く隣接画素間信号の差分演算をリアルタイム処理する基本機能を有しており、それらを64分割したライン毎に並列処理することによって、総合的な高速動作を実現するものである。



図表4.2-7 次世代で開発中のイメージ・プロセッサの基本構成図[6]

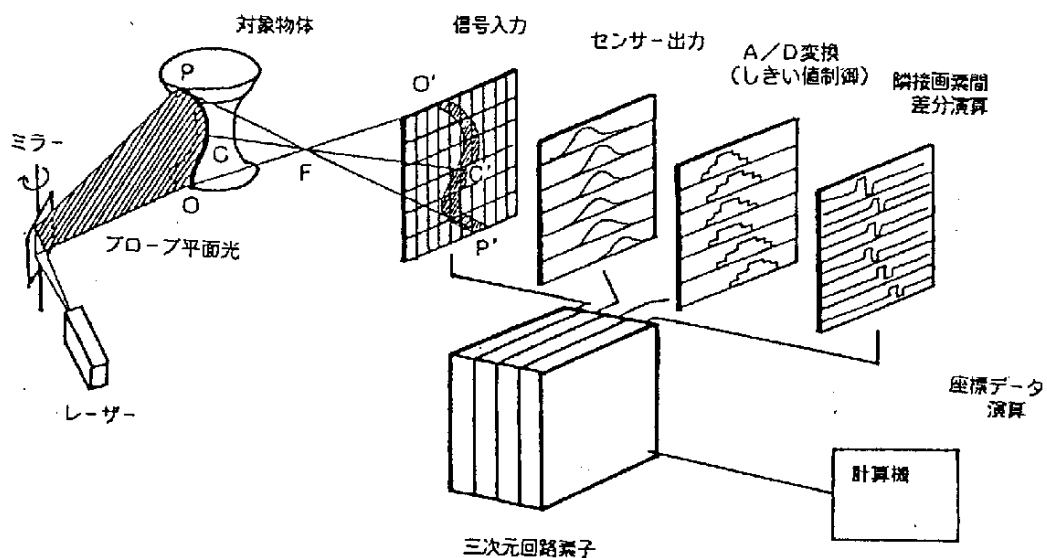
第4層（最上層）はa-Siフォトコンダクタと蓄積容量を組合わせた電圧読出し型の画素構成をとる。64×64画素を1ライン64画素毎にブロック化し、各ブロック間は並列、ブロック内は直列読出しを行う。それらの制御は第3層目から行う。

第3層目はフォトセンサの容量の充・放電制御用スイッチ回路及び、各画素からの信号を並列に受け、1ライン64画素を直列に下層へ送る回路が配置されている。

第2層は64画素毎に1個の2ビットCMOS A/Dコンバータを配置し、合計64個のA/Dコンバータを有している。

第1層は差分回路が各ライン毎に設けられ、隣接画素間の信号演算を行う。画素サイズは $150\mu\text{m} \times 150\mu\text{m}$ 、チップサイズは $13\text{mm} \times 13\text{mm}$ 角である。

本素子によって実現される機能の将来の応用分野として、図表4.2-8に示すような光切断法を用いた三次元形状・距離計測システムがある。この方法は、方向の明らかな平面プローブ光を物体に投写し、その平面光が物体によって切断される位置座標を、受光したセンサの画素座標と光学系の配置関係から計算するものである。従来は一画面毎に出力し、計算機上で細線化、直線近似等の信号処理を行って、位置座標を求めていたのに対し、本素子の構成では、チップ内で位置座標が求められ、かつ、64ラインで同時処理されるために、約100倍の高速化が可能と予想される。

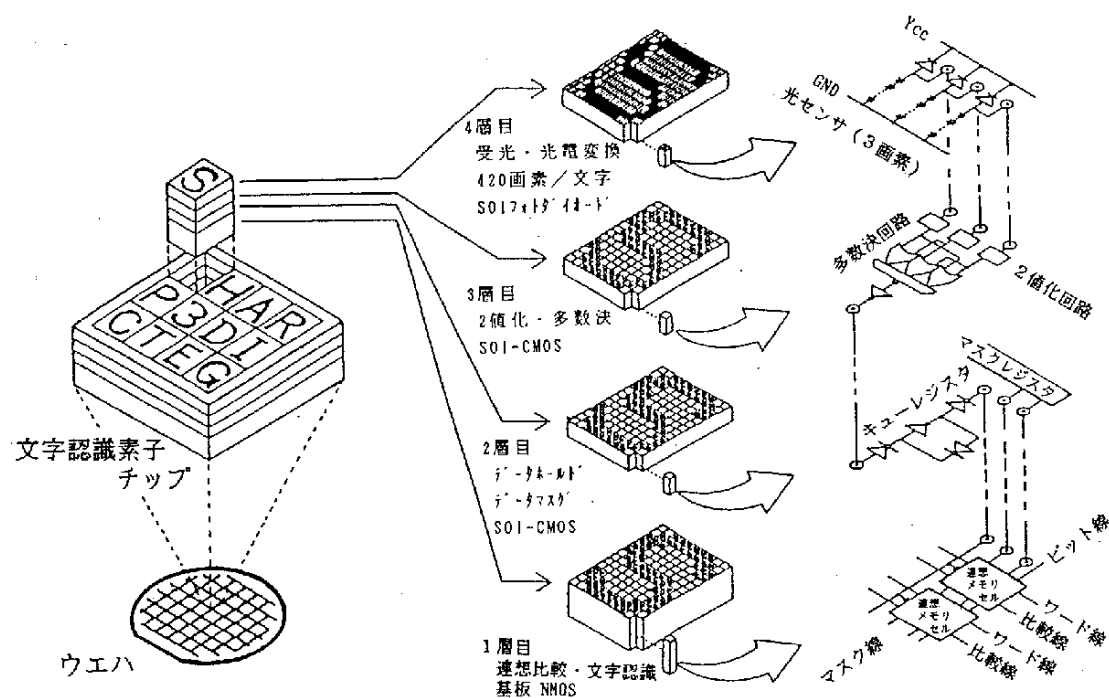


図表4.2-8 イメージ・プロセッサによって実現される光切断法を用いた三次元形状・距離計測システムの例[6]

図表4.2-8

図表4.2-9は、同じく次世代で開発中の4層よりなる英数文字認識素子の基本構成図を示す[7]。仕様、性能は以下のとおりである。

- 1)機能 30×14ドット構成の英数文字認識
 入力文字12文字（5040画素）
 画素毎の並列データ処理
 並列連想比較
- 2)層数 4層（SOI/SOI/SOI/バルク）
- 3)各層の機能配分 第4層光センサ、第3層2値化・多数決回路、
 第2層データホールド・シフトレジスタ・マスクレジスタ、
 第1層連想メモリ
- 4)集積度 279k素子／チップ



図表4.2-9 次世代で開発中の英数文字認識装置の基本構成図[7]

この他に次世代で開発中の三次元ICの例としては、GaAs/Si ヘテロ構造によるLEDとFETの集積化や、高密度集積素子の例では、6層で10k素子/mm²程度のものが計画されている。

上に述べたように次世代の三次元ICプロジェクトでは、これまでの実証素子による評価結果から、特に画像信号処理デバイス等に大きな用途があるものと考えられ、今後の開発の進展によって、新情報処理における重要な要素技術の1つになると考えられる。

4.2.4 量子効果デバイス

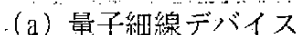
現在、開発の進んでいるシリコンデバイスは、技術的進展によってその微細化の限界が、従来予想された値よりもはるかに小さなものになっている。技術的飽和が先送りになったものの、しかし依然として限界が存在することには変わりなく、その値としては、およそ $0.1\mu\text{m}$ の寸法と考えられている。この限界を打破するためには、従来の素子構造に代わる全く斬新な素子の開発を行わなければならない。 $0.1\mu\text{m}$ 以下の寸法領域（ここはマクロとミクロの間の意味で、メゾスコピック(mesoscopic)領域と呼ぶ）においては、電子の持つ粒子性と波動性の性質のうち、波動性に基づく種々の量子力学的現象（トンネル効果、量子化サブバンド、電子波による干渉効果等）が顕在化して来る。従来の素子では、電子の粒子としての性質をのみを利用していたために、電子の運動は電子の緩和時間近似で制限されていた。そこで電子の波としての性質を利用すれば、さらに応答速度の向上が期待できる。このような効果を巧みに制御し動作原理とする素子を、一般に「量子効果デバイス」と呼ぶ。量子効果デバイスは研究が始まったばかりで、まだデバイス物性等はほとんど解明されておらず、現在の段階で素子性能を述べることは難しいが、幾つかの素子は、ニューロデバイスのような機能を持つことが予想されている。ここでは量子効果デバイスとして、量子化Si-VLSIと化合物半導体系の量子効果デバイスについて述べる。

1) 量子化Si-VLSI

「量子化Si-VLSI」は必ずしも一般的に定着した言葉ではないが、定義としては $0.1\mu\text{m}$ 以下のメゾスコピック領域において、量子効果を一部に取り込んだSi-VLSIということになる。メゾスコピック領域においては、二次元的素子を配線で結合するといったことは困難になり、素子構造も三次元的微細化を図らなければならない。酸化膜厚は100オングストローム以下になって来るとトンネル電流が生じるようになり、一方、Si活性層も100オングストローム以下では、その中に閉じ込められるキャリアのエネルギーは量子化されるため、隣接素子と協調した動作が必然となる。従来の熱酸化膜はSiとの界面の凹凸が多かったが、超高真空中で酸化すると界面が平坦になり、界面の酸化膜は一部結晶化するとの結果も報告されており、MBEがデバイス作製のキーテクノロジーになると思われる。

また、最近特に注目されているのは、Si基板上のヘテロエピタキシャル成長技術の発展である。ヘテロ構造が可能になれば、いわゆる「バンドギャップエンジニアリング」が可能になり、Si系においても化合物系と同様なヘテロ接合を駆使した超格子や量子井戸構造

図表4.2-10は GeSi/Siヘテロ構造を用いた量子効果デバイスの提案例を示す[8]。(a)はGeSi/Si による変調ドープ超格子の選択エッチングによって斜面に量子細線を作製する。(b)は(a)の構造を使って、更に極細ゲート電極で制御して、下図 (B)に示すような量子箱を作製するものである。いずれも超高速のデバイスを目指している。



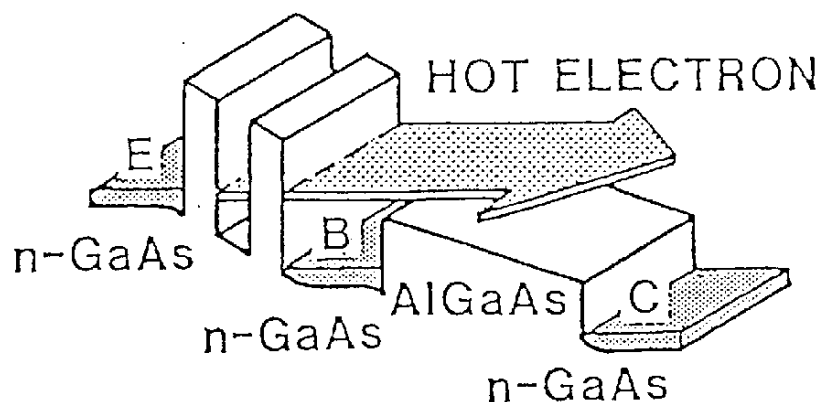
(b) 量子箱デバイス

ここでは主として、化合物半導体による量子効果デバイスについて述べる。化合物半導体においては、シリコンに比べると電子の平均自由行程が長く、またヘテロ接合も作製しやすいため、本質的に量子効果デバイスに向いており、これまで多くの素子が提案、試作されている。ここでは新情報処理の要素技術の視点から、いくつかの素子について述べる。

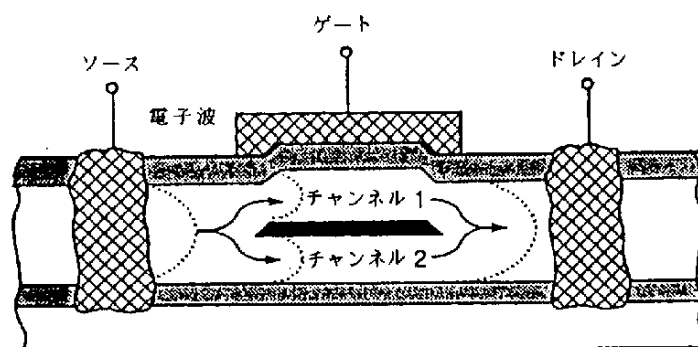
— 82 —

トンネル障壁を設けたために電子の波動性が顕在化し、それによって生じる負性抵抗を用いて新たな機能を生じさせたものである。これまでの実証素子によって、遮断動作周波数 116GHz の高い値を得ており、また Exclusive-NOR 回路、ラッチ回路などもシンプルに作製できるなど新しい機能性が示されている。この素子は電子の波の性質も用いているが、まだ粒子としての性質の方が支配的である。

電子波の持つ波動性とコヒーレンス性を用いた電子波干渉トランジスタの例を図表 4.2-12 に示す [10]。図のようにゲート直下に 2 つに分岐したチャンネルを設けると、ソースから入力した電子波は、その導波路に沿って 2 つに分割されて、再び 1 つの波に戻るとき、分割された 2 つの波の間に位相差があるときには、出力電流は干渉によって変調されるというものである。この素子では GaAs/AlGaAs ヘテロ構造を用いて導波路を作製し、ゲート電圧によって位相差を変調することが出来る。この動作原理のため速度は非常に速く、また消費電力も非常に小さくなると期待されている。



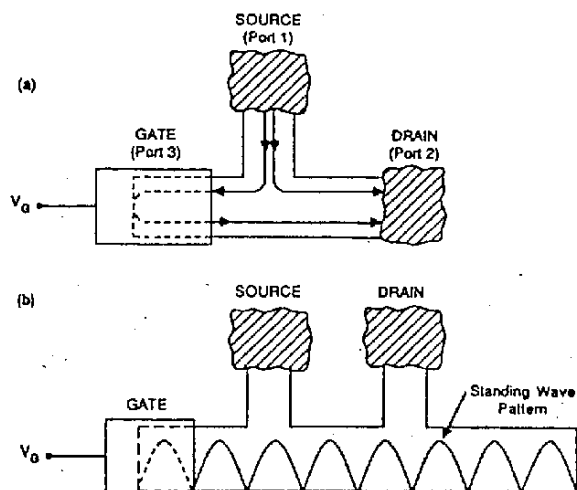
図表 4.2-11 共鳴トンネリング・ホットエレクトロントランジスタ (RHET) のバンド図 [9]



図表 4.2-12 電子波干渉トランジスタの例 [10]

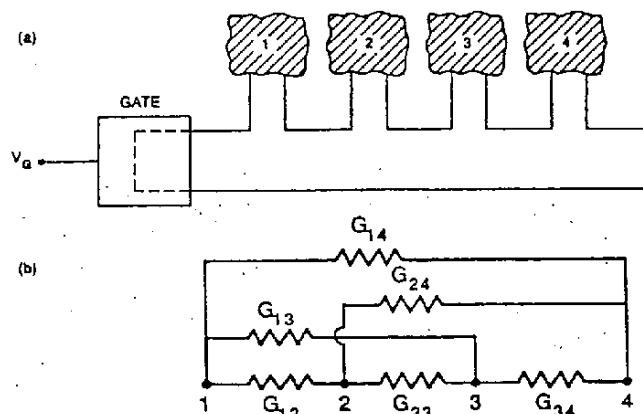
このような電子波導波路はマイクロ波導波路に良く似ている。そのアナログで考えると、図表4.2-13(a)に示すように、ソースからドレインに至る電子波の2つの経路は、離れた場所にあるゲートで変調できることになる[10]。更に図表4.2-13(b)に示すような構成では、ゲート電圧によって定在波をシフトすることが出来るため、丁度そのピークがソースとドレインの双方に一致した時に、大きな電流が流れることになる。

このような原理に基づいて多端子デバイスに拡張し、ニューラルネットワークと同じような動作をさせようとする提案がされている[10]。その例を図表4.2-14に示す。(a)は4つの端子を持つデバイス構成が示されている。各端子間を流れる電流の伝導度は、それぞれ端子間の電子波の透過率によって決ってくるが、図に示すように電子波の伝播する経路の一部にゲートを設けておけば、各端子間の伝導度をゲートで制御できることになる。このデバイスの等価回路は、(b)に示すような変調可能な抵抗ネットワークとみなすことが出来る。



図表4.2-13 離れた場所にゲートを持つ電子波干渉トランジスタの例[10]

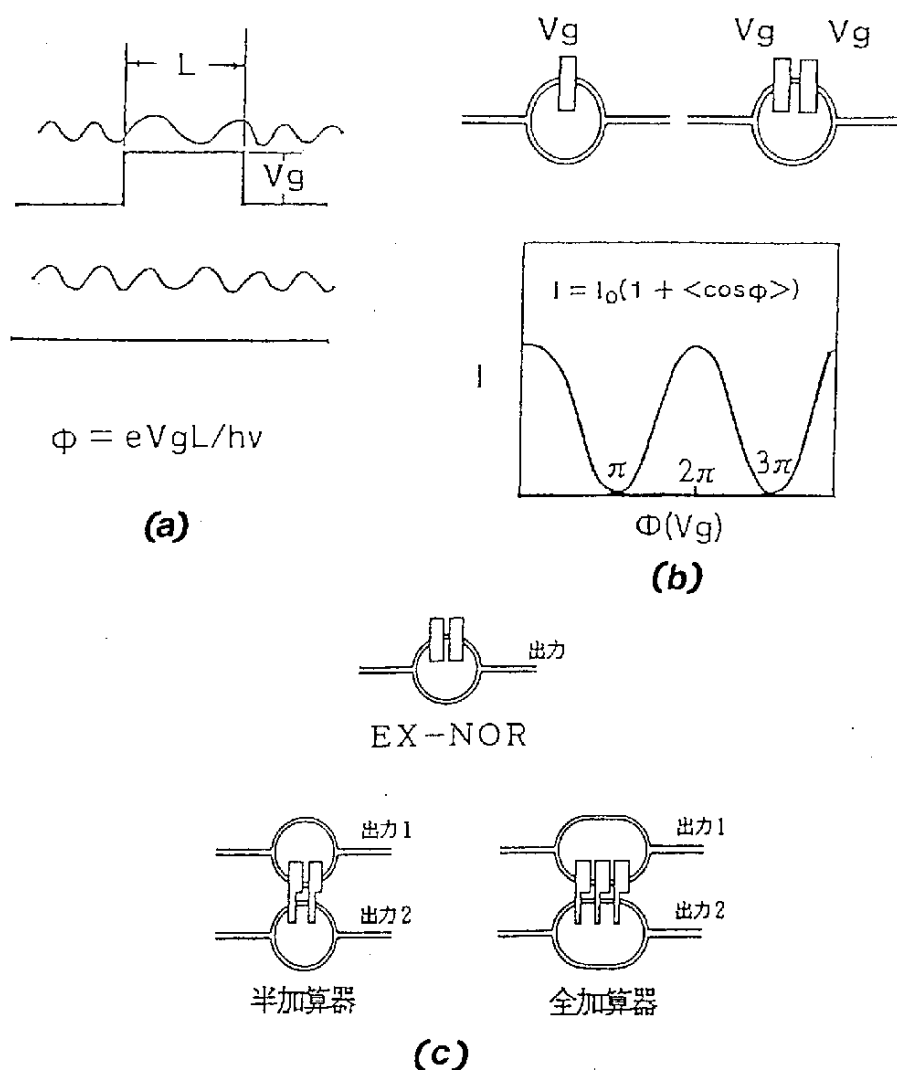
- (a) ゲート電圧でソース・ドレイン間の2つの電子波の経路の位相差を変調する。
 (b) ゲート電圧で定在波をシフトさせる。定在波のピークがソースとドレインに一致したとき、ソース・ドレイン間に大きな電流が流れる。



図表4.2-14 電子波干渉デバイスによるニューラルネットワークの実現

- (a) 4端子デバイスの構成例 (b) 等価的抵抗ネットワーク回路[10]

電子波干渉トランジスタを用いた回路の別の提案例を図表4.2-15に示す[11]。(a)に示すように、導波路上に長さ L のゲートを設けた場合、電子波の位相は、このゲートに印加した電圧（ポテンシャル）とゲート長 L の積に比例して $\phi = eVgL/hv$ だけ位相がずれる。いま、(b)に示すようなリング状の回路で、一方の分岐した導波路のみにゲートを設ける。このとき入力に信号1を入れた場合、ゲートに π だけ位相がずれるように電圧を印加すると、出力は互いに干渉し合って信号0になる。ゲートに 2π だけ位相がずれるように電圧を印加すると出力は1となる。このリング状のデバイスに2個のゲートを設け、各ゲートに位相が π だけずれる信号を印加する。一方のゲートに信号1を印加し、他方のゲートに信号0を印加すると、出力信号は0になる。両ゲート共に信号1または0を印加した場合、出力信号は1になる。この動作は排他的論理和(EX-NOR)回路と呼ばれる。従来のトラン



図表4.2-15 電子波干渉デバイスを用いた各種演算回路の例[11]

ジスタでこの回路を形成すれば7～8個のトランジスタが必要となる。更に(c)に示すように出力1側のゲート長の半分のゲートを出力2に印加すると半加算器が出来る。また、出力1側のゲート長の1/3のゲートを出力2に印加する回路では、全加算器が出来ることになる。

このように量子干渉デバイスを用いることにより、新しい機能を創出することが可能となるとともに、波の性質を用いるために、低消費電力が期待できる。

しかしながら、このような量子効果デバイスはいま、その可能性の一端が見えてきたばかりであり、今後、多くの理論的及び実験的研究を積み重ねなければならない。

4.2.5 超伝導計算機と要素技術

脳は数百億という極めて多量のニューロンで構成されている。このため各ニューロンの動作速度はかなり遅くても、かなりの情報処理を行うことが可能である。まさに、超並列超分散計算機であろう。しかし、これだけの集積度をとるためには、各ニューロンの消費エネルギーは十分小さくしなければならない。例えば、1素子が半導体のように1mW程度を消費することになると、全体では1万kWというとんでもない消費電力となってしまう。実際には、ニューロンは1素子当たり平均約1nW程度しか消費しないから、数十W程度の消費電力で済むことになる。動作速度はおよそ1msの程度であるから、電力時間積は1pJ程度という、かなりの低速ではあるが極小電力素子といえる。

現在、得られるもっとも小電力の素子は超伝導素子であるジョセフソン素子であろう。この素子の消費電力は約1 μ Wである。ニューロンよりは消費電力が大きい、仮に数百億の集積化を行うとしても、数十kWという対処可能な総消費電力となる。一方、速度は1psと極めて速く、ニューロンと比較すると、9桁も高性能である。

ニューロンより並列性を若干減らして、いくつかのニューロンの処理を行わせることも可能である。直列処理を1000倍程度導入すると、消費電力は同程度、速度は6桁程度の差となる。ちなみに電力速度積は1aJとなり、その差は約6桁である。この計算は極めて雑であり、結合度の計算に必要な素子の数を入れていない。ニューロン間の結合であるシナプスは、各ニューロンごとに数千といわれており、そのことを考えると、差は2桁程度に減ってしまう。

さて、脳内では発熱は血管系によって運び去られる。この動く流体による冷却は、極めて大きな熱量を効率よく取り去ることができる。空冷というまでもなく、現在の液冷でも

これほど効率よく排熱することは不可能である。したがって、小電力素子は重要なポイントである。

ジョセフソン素子の欠点としてよくあげられるのが、後段駆動性の無さである。これは、CMOSやHEMTのような横形素子の共通の欠点でもある。ただし、CMOSについては、バイポーラトランジスタと組み合わせるBi-CMOSの技術の発展により、ある程度の改善が期待されている。後段駆動力が不足すると最もつらいのがメモリである。幸いにして、ジョセフソンコンピュータの大型プロジェクトの結果、数kbitのメモリを持つ完全なプロセッサの製作に成功し、この程度の小メモリ高速プロセッサの可能性が示された。ニューラルネットワークは、3.3節でも示したように小メモリプロセッサを超並列にしたもので実現できる。まさに、ジョセフソン素子向けの回路であることが理解できよう。

ジョセフソンコンピュータは、超高速のフロントエンドプロセッサとして、最も高い可能性を持つということで、全世界、特に米国が高い興味を持っている。特に日本は世界でも最高の技術水準を持っており、こうした技術を何らかの意味で世に示す責務を有している。この、最もよい実例がニューラルネットワークではないかと信じている次第である。

超伝導体というと、抵抗が0のため、配線に適しているのではないかという議論がたびたびなされる。配線に抵抗があると、これが遅延に結び付く。どの程度の抵抗からこうしたことが気になってくるかということ、要するに、配線抵抗が配線駆動トランジスタの内部抵抗に対し無視できなくなる辺りからである。現在の集積度では、まだこうした事態には至っていない。しかし、さらに集積度が上がると、具体的には十年以内に、この配線抵抗の問題は顕在化してくるであろう。

もう一つは電流密度の問題である。現在の常伝導配線の電流密度はおおよそ1平方cm当り10万A程度である。これ以上流すと配線が変形を起こし、やがて断線してしまう。超伝導体では少なくとも100万A以上である。電流密度を上げると配線の断面を少なくすることが可能となり、結果として配線間の静電容量を大幅に削減することができ、クロストークを除去できるようになる。この問題はすでに深刻であり、超伝導体の配線応用を真剣に検討する必要があるかと思われる。

現在、液体ヘリウム温度で動作する金属系の超伝導体と、液体窒素温度で動作する酸化物系超伝導体の両者が存在する。前者は伝統もあり、安定で、かつ最大電流密度も極めて高く、ジョセフソンコンピュータに使われているばかりでなく、配線としてもポテンシャルが高い。しかし、問題は液体ヘリウムの使用である。したがって配線としての応用は次

の世代になるであろう。後者は窒素温度で使用可能であり、半導体分野からは期待されている。しかし、歴史がまだ浅く、材料がまだ不安定であり、電流密度も不十分である。この材料およびその応用については、より一層の努力が必要であろう。

〔参考文献〕

- [1] 塚本克博；新機能素子研究開発協会，「素子の極微細化関連技術動向調査専門委員会」，p. 56, (1988).
- [2] H. P. Graf, and L. D. Jackel, IEEE Circuit and Device Magazine, 44(July 1989).
- [3] M. Yasunaga, N. Masuda, M. Asai, M. Yamada, A. Masaki, and Y. Hirai, Int'l Joint Conf. Neural Networks, II - 213(1989).
- [4] 坂本統徳，エレクトロニクス，681(1982).
- [5] 西村 正，新機能素子研究開発協会，第6回新機能素子技術シンポジウム予稿集，201 (1987).
- [6] 井上靖朗，新機能素子研究開発協会，第8回新機能素子技術シンポジウム予稿集，47(1989).
- [7] 豊山楨治、鬼追一雅、同上 69(1989).
- [8] K. L. Wang, Solid State Technology, 137 October (1985).
- [9] N. Yokoyama, K. Imamura, S. Muto, S. Hiyamizu and H. Nishi, Jpn. J. Appl. Phys. 24 L853 (1985).
- [10] S. Datta, Ext. Abst. of the 20th Conference on Solid State Devices and Materials, Tokyo, 491 (1988).
- [11] 柴富昭洋，新機能素子研究開発協会「量子化機能素子に関する研究報告書」48, (1989).

4.3 分子・バイオとインテリジェントセンサ

4.3.1 分子・バイオ素子と新情報処理

(1) はじめに

バイオサイエンス、バイオテクノロジーの進展は、脳・神経へのアクセスを徐々に可能とし、脳・神経の働きを工学的に実現しようとする試みを活性化している。脳・神経系の情報処理をモデルとする情報処理システムはバイオコンピュータと呼ばれる。脳・神経の

働きを工学的に実現しようとする研究の究極のターゲットである。

バイオコンピュータの構想が世に現れて久しい。生体分子を構成要素としたバイオチップ構想が出されたのは1980年代初頭である。その後、当初のバイオチップ構想は、具体的展開がないまま立ち消えとなった。一方、分子を構成要素とする分子素子構想は紆余曲折があったものの着実な進展を示した。バイオチップ構想はバイオエレクトロニクスの研究展開を著しく誘起し、今やエレクトロニクス、分子エレクトロニクスが広範囲な研究の裾野を広げるに至った。

1980年代後半になり、ニューロコンピュータあるいはニューロネットに新たな展開がみられ、基本的応用例が次々と現れるようになった。ニューロコンピュータもバイオコンピュータも脳・神経系の情報処理を目指す点では変わりがない。しかし、ニューロコンピュータは現在の素子構築論を基盤とし、この素子系にニューロネットの機能を付与することが課題となっている[1], [2], [3], [4]。

バイオコンピュータは、生物の多様性と柔軟性を備えた精微な情報処理機能、あるいは思考機能を実現しようとするものであり、これまでのコンピュータとは異なった次元で具現化されようとしている。むしろ現在のデジタルコンピュータと相補的に機能することが目標とされる。

(2) ニューロネットワーク形成へのアプローチ

脳は単純なコンピュータではない。脳はニューロンの3次元ネットワークによって構成され、個々のニューロンは超LSIにたとえられる。しかし、超LSIが3次元にネットワーク構成しただけでなく、学習、自己組織化、記憶など、自己の構造を自ら改変していくような極めて複雑で巧妙な多次元並列情報処理システムである。

脳の情報処理機能は、ニューロンに由来する。ニューロン間の接合部位はシナプスと呼ばれ、1つのニューロンに非常に多数のニューロンとのシナプスが形成されている。多数のシナプスを介して膨大な信号が入力されるが、ニューロンからの出力信号は1つに絞られている。シナプス接合は可塑性を示すことが知られ、この可塑性が学習機能に結びつけられている。

シナプスにおける情報処理プロセスの分子メカニズムは次第に明確となってきた。特にインバパスがシナプス前膜に到達し、シナプス小胞体中のニューロトランスマITTERが前膜から放出されて、シナプス後膜表面のレセプタによって受容される分子メカニズムの解明

は著しく進展した。なかでもアセチルコリンレセプタの構造決定は我が国で行われ、アセチルコリン受容にともなうイオンゲートのオープニングについてもかなり詳細な分子メカニズムが描けるようになった。しかし、シナプスの可塑性形成のメカニズムは明らかにされていない。これらの解明こそシナプスをモデルとした神経素子構築の重要なステップである。

単一のシナプスにおける分子メカニズムの解明とともに、ニューロン間の情報伝播プロセスの解明が重要な課題となってきた。2つの重要なアプローチがある。第1はニューロネットワーク形成のメカニズムの解明であり、第2は形成されたニューロネットワークが特定入力情報によってどのように可塑化され、信号伝播するかを解明することである。

第1のアプローチについては、神経科学のニューロネットワーク形成の果敢な研究が着実に進んでいるが、最近培養細胞を用いたニューロネットワーク形成の研究が種々みられるようになった。シリコンウェハあるいはガラス基盤上で神経細胞を培養する試みもその1つである。L. ジェリンスキーらはシリコン基板上に、福田、川名らは溝をつけた石英ガラス基板上で、神経細胞を培養し、神経突起の成長方向の制御を試みた[5]。相澤らは、電極基板上でPC12細胞を培養し、神経成長因子(NGF)の共存下で、PC12細胞の分化プロセスを研究している[6]。0 ~ 0.2v vs. AgAgClの電位を印加して培養すると、PC12細胞は分化し、突起を伸長する。しかし、約0.4 ~ 0.6v vs. AgAgClの電位を印加すると、NGFが存在するにもかかわらず、分化が抑制されることが見いだされた。MGF受容に及ぼす電位効果のメカニズムが検討されているが、この新現象を利用し、微細パターン形成した電極基盤上で突起伸長の方向を電位印加によって制御する試みが進められている。以上の試みは、いずれも実際のニューロネットワーク形成を明らかにするにはほど遠いが、新たなチャレンジとして今後の進展が期待される。

第2のアプローチは、ニューロネットワークにおける情報伝播を直接観測するところに焦点が絞られている。塩野らおよび松本らは、膜電位感受性色素を用いて、インパルスの伝播を直接観測するためのホトダイオードアレイを作成した[7]。刺激情報の入力によってインパルスが発生し、ニューロン間を伝播する状況をダイナミックに追跡することが可能になりつつある。Rosenらは、ニューロン刺激用のデバイスと、信号伝播をダイナミックに追跡するとともに、神経系とエレクトロニクス系のインタフェースを設計している[8]。これらは研究のスタート段階ではあるが、脳が独自にもつバイオアーキテクチャ、バイオアルゴリズムにアプローチするために極めて重要である。

(3) 神経素子

ニューロン機能の実現を目指した神経素子(ニューロデバイス)の研究にも種々のユニークな試みが報告されるようになった。

篠原らは、シナプス前膜機能を果たす人工シナプスを実現した[9]。シナプス前膜はインパルスに応答して、ニューロトランスミッタを放出する。分子コミュニケーションシステムの分子情報発信部位である。シナプス前膜では小胞体中にニューロトランスミッタが内包されているが、人工シナプスでは、層間化合物あるいは導電性高分子などにみられる荷電分子の電氣的取込み現象が利用された。グラファイト、ポリアセチレン、ポリピロールなどの材料が検討され、これらの微小薄膜中にニューロトランスミッタを電氣的に取込み、放出できることが示された。グルタミン酸をニューロトランスミッタとする系では、白金のマイクロファイバの先端にポリピロール薄膜を形成し、白金ファイバ周辺はテフロン被覆によって絶縁した人工シナプスが作られた。

シナプスの可塑性をシミュレートした神経素子が2, 3 報告された。田尾本らは、Pbフタロシアニン薄膜の電圧・電流特性に可能性があることを見出し[10]、これらの特性を利用した神経素子を提案している。井関らは、導電性高分子薄膜を金属電極表面に形成し、この薄膜の電気化学ドーピング・脱ドーピングにともなう電流に可塑性を認め、これらを利用して可塑性神経素子を構築する可能性を示唆している[11]。以上の諸例はまだ研究の初期段階ではあるものの、神経素子を目指した具体的試みとして注目される。

ニューロンの機能をすべて実現することは容易ではない。当面は以上のようにニューロン機能の一側面をシミュレートすることが中心課題となるであろう。

(4) 人工感覚

感覚の人工化もバイオエレクトロニクスの重要なターゲットである。感覚にもいろいろある。視覚、聴覚、触覚、臭覚、味覚などである。これらの共通な特質は、非常に数多くの情報量を同時に受け入れ、それらの情報を並列処理できることである。個々の情報は、それぞれの感覚受容器の細胞数で受容情報量が決まる。感覚情報処理プロセスの中で最も大量の情報を処理できるのは視覚である。人工視覚の実現に期待が寄せられるゆえんである。視覚情報処理プロセスについての研究が五感の中では最も進展し、数多くの情報処理プロセスモデルが提案されている。これらのモデルを基盤として人工視覚を構築する試みはますます活性化するであろうし、バイオコンピュータの研究推進に最も密接に関連して

いる。視覚、聴覚、触覚に次いで、味覚、臭覚も大量の情報処理を行うが、これまでの味覚、臭覚の大量情報処理は余り注目されていなかった。むしろこれらの感覚器官が個々のニオイや味物質に選択的に応答することへの関心が強かったともいえる。しかし、種々様々な物質が一挙に感覚細胞に押し寄せることを考えると、個々の細胞が特定の物質に応答することだけで対応できるであろうかという疑問が生じる。このような疑問に応えるかのように、個々の細胞が特定物質だけではなく、かなり多種類の物質に応答することを示す例が報告されるようになった[12]。感覚細胞はいろいろな物質に応答し、ニューロンに情報を送り、情報処理され特徴づけられて、脳の受容野に到達するというのである。感覚器の受容細胞マトリックスと、脳の受容野における細胞マトリックスが種々の物質に応答することになる。これらマトリックスに応答パターンが現れ、ニオイや味もこのパターンによって認識されるという。情報処理を行うニューロネットワークこそ重要な役割を果たすことになる。

人工臭覚、人工味覚を実現するときには、以上のような感覚情報処理の特質を生かすことが重要となる。人工臭覚、人工味覚の試みが報告されるようになった。基本構想は余り選択性がないセンシングエレメントを集積し、多重情報をニューロネットワークをモデルとして処理し、知覚するシステムである。

森泉らは5種類の半導体ガスセンサを集積し、酒類を判定できる人工臭覚を[13]、岡畑らは圧電素子ガスセンサを集積する試みをそれぞれ報告している[14]。相澤らは、蛍光分子を組み入れたラングミュア・ブロジェット(LB)膜を累積したセンシングエレメントを作り、多重分子情報を光学情報に変換して、パターン認識する方式をつくり、人工味覚の試みを示した[15]。

以上はいずれもセンシングエレメントの開発例であるが、味覚・臭覚の情報処理プロセスがさらに解明されるにともなって、これらを基盤としたニューロネットワークが進展すると思われる。

(5) バイオ素子構築からバイオコンピュータへ

分子構築技術を駆使していろいろなバイオ素子が設計され、作成されている。これらはいずれも情報処理を企図したものであり、研究開発の初期段階であるが、バイオコンピュータが将来のターゲットとなっている。

数多くの報告が行われるようになったのは光電変換素子である。光励起分子を基本要素

として、光励起によって電子的変化を誘起することが狙いである。高度好塩菌の紫膜にあるバクテリオロドプシンは結晶性の良いタンパク質であり、しかも光プロトン輸送するため、バイオ素子材料として早くから注目されていた。LB膜法による二次元結晶化など分子膜づくりが行われるとともに、光電変換機能が種々検討されている。しかし、二次元結晶化状態の分子膜については、光電変換機能が調べられていないのは残念である。

クロロフィル、あるいはポルフィリン分子についての分子膜およびその光電変換機能は非常に精力的に研究された。特に藤平らのトライアド(triad)分子による光励起電子フローに関する研究は、バイオ素子構築の基本的データを示唆し、極めて重要である。

川端らは、分子内の光異性化によって他端分子内に導電性の変化が誘起される分子膜を作り、新しい光電変換素子の分子材料設計を示した。

光電変換以外についても各種のバイオ素子作成が進んでいる。前田らは、電極表面上におけるタンパク質分子の電子移動を実現するとともに、一方向電子移動を達成した。相澤らは、酵素タンパク質分子を分子ワイヤとして利用することに成功し、“分子インタフェース”の概念を提唱している[16],[17]。さらに、酵素活性を電子制御できることを示した。酵素機能がスイッチオン・オフされるわけである。これらは、タンパク質分子を集積化しバイオ素子を構築する基盤技術になるであろう。

4.3.2 バイオセンサ

バイオセンサの特徴は「分子識別能力」による高選択性にある。それ故いままで無機材料では計測可能とされていた分野への可能性が非常に期待されている。現在実用化、あるいは開発途中のバイオセンサは特定の化学物質に選択性を持つ単一センサ素子を用いた単機能型が多いが、今後は異種素子を組み合わせた「多機能化」、それをコンパクトにした「小型、主幹化」、さらにセンサ素子だけでなく情報処理機能やアクチュエータまでも備えた「(能動的で)知能化」されたバイオセンサの開発が望まれる。

(1) バイオセンサの現状

バイオセンサの分類はセンサ素子に注目するのか、あるいはトランスデューサに注目するのかによって違いがある。センサ素子で分類すると「酵素センサ」「微生物センサ」「免疫センサ」「オルガネラセンサ」「組織センサ」等となる。

酵素センサは酵素の特定分子の特定反応を触媒する機能を用いている。構成は高分子等

の膜に固定されたセンサ素子と、反応により消費あるいは生成される物質の濃度変化を検地する電極からなる。センサとしてはグルコースオキシターゼを用いたグルコースセンサをはじめ有機酸センサ、アミノ酸センサ、脂質センサ、尿素センサ等種々のものがある。

酵素センサの研究の歴史は古く実用化例も多いことから、今後は複数の酸素センサの融合多機能化へと向かうであろう。

微生物センサは微生物の呼吸機能及び代謝機能を用いておりそれぞれ「呼吸活性測定型微生物センサ」「電極活物質測定型微生物センサ」と呼ばれている。枯草菌のDNA修復機能欠損株及び野性株を用いると変異原(発ガン物質)センサができ、変異誘起別室の一次スクリーニングに使用されている。

免疫センサ抗体分子の抗原認識機能と抗原結合機能を利用し、測定対象はタンパク質やペプチド類の高分子である。血清アルブミン濃度や血液型判定、甲状腺ホルモンのチロキシシンやインシュリン等を測定するセンサが知られている。

その他バイオセンサにはオルガネラ(細胞内顆粒)の複合酵素を利用したオルガネラセンサや動物、植物の組織をセンサ素子とした組織センサがあるが、オルガネラセンサは安定性の問題で実用化にまでは至っていない。

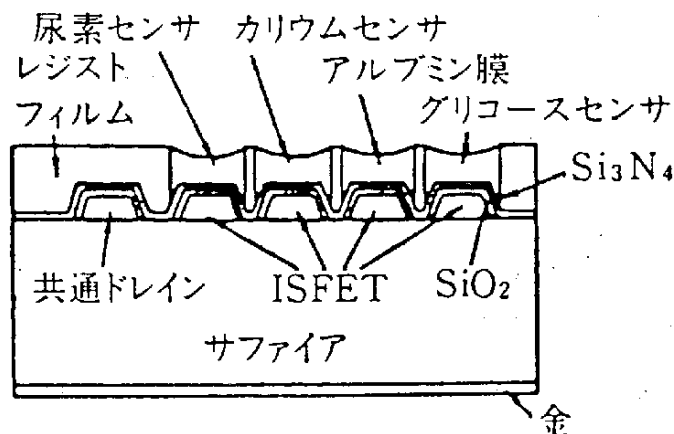
(2) バイオセンサの展望

バイオセンサの個々を取り上げれば長期安定性や感度等の問題が残されているが、ここでは「多機能化」「集積化」「知能化」に代表される全体の方向について述べたい。

半導体の微細加工技術を利用したマイクロ電極やFET半導体素子とバイオ素子を組み合わせたものが「マイクロバイオセンサ」[18]である。例えば水溶液中の水素イオン濃度を測定するイオン感応性電解効果型トランジスタ(ISFET)と、反応によって水素イオン濃度変化を生じる酵素を組み合わせると幅400 μ 、長さ5.5mm程の非常に微小なバイオセンサができる。すでに単一酵素では尿素センサ、アセチルコリンセンサ、ペニシリンセンサ等が開発されているが、さらに、複数のバイオ素子を小型、集積化し、他点同時計測可能な他機能バイオセンサ(図表4.3-1)や分子数個のレベルで電極に固定化された超微小バイオセンサの研究が今後の課題と言える。

また、生物の運動機能をミクロのレベルで解明しようとする「分子機械」や「生物エンジン」の研究も最近盛んになっている。動物の筋肉や微生物のべん毛、せん毛等を構成するタンパク質の運動機構が明らかにされれば超微小バイオアクチュエータへの可能性が生まれ、さらに情報処理機能を内在したバイオ素子と組み合わせる事により能動的で知能化

されたバイオセンシングシステムへと発展していくであろう。



図表4. 3-1 SOS/ISFETを用いるマルチバイオセンサ

〔参考文献〕

- [1] 神沼二真編, “生物化学素子とバイオコンピュータ”, サイエンスフォーラム(1985).
- [2] 神沼二真, 松本元編, “バイオコンピュータ” 紀伊国屋(1988).
- [3] S.R.Hameroff, “Ultimate Computing : Biomolecular Consciousness and Nanotechnology” Elsevier (1987).
- [4] 甘利俊一, バイオコンピュータ, 君波書店(1986).
- [5] 福田潤, 川名明夫, 組織培養 14 375 (1988).
- [6] 相澤益男, 本橋直子, 小島淳一郎, 篠原寛明, 碓山義人, 古川昭栄, '89電気化学秋季大会講演要旨集(1989).
- [7] S. Shiono, M. Nakashima, S. Yamada, M. Maeda, Ext. Abst. 2nd Intl. Symp. Bioelectronic and Molecular Electronic Devices, R&D Assoc. Future Elect. Devices, Dec. 12-14, 1988, Fujiyoshida, pp.57-60 (1988).
- [8] J. Rosen, M. Grosser, “Artificial Organs” CVH Pub. pp.583-594, (1987).
- [9] H. Shinohara, M. Aizawa, H. Shirakawa, Chem. Lett., 179 (1985); 相澤益男, 篠原寛明, “高分子”, 38 724 (1989).
- [10] A. Taomoto, K. Waragai, K. Nichogi, Y. Saitoh, Y. Machida, S. Asakawa, Ext. Abst. 2nd Intl. Symp. Bioelectronic and Molecular Electronic Devices, R&D Assoc. Future Elect. Devices, Dec. 12-14, 1988, Fujiyoshida, pp.129-132 (1988).

- [11] M. Iseki, K. Saito, K. Kuhara, A. Mizukami, Ext. Abst. 2nd Intl. Symp.
Bioelectronic and Molecular Electronic Devices R&D Assoc. Future Elect.
Devicesc, Dec. 12-14, 1988, Fujiyoshida. pp. 133-136 (1988).
- [12] T. Nomura, K. Kurihara, Biochemistry, 26 6141 (1987).
- [13] K. Ema, M. Yokoyama, T. Nakamoto, T. Moriizumi, Sensors and Actuators (1989).
- [14] 岡畑恵雄, 生物物理, 28 1-5(1988).
- [15] M. Aizawa, M. Matsuzawa, H. Shinohara, Thin Solid Films 160 477-481 (1988).
- [16] S. Yabuki, H. Shinohara, M. Aizawa, J. Chem. Soc., Chem. Commun. 945-946 (1989).
- [17] M. Aizawa, S. Yabuki, H. Shinohara, "Molecular Electronics : Biosensors and
Biocomputers" (F. T. Hong, ed.) Plenum, New York, pp. 267-274(1990).
- [18] 軽部政夫, バイオセンサ技術の研究開発と応用, フレグランスジャーナル, pp. 24-37,
(1989. 8).

5. 提 言

5. 提 言

新しい情報処理の実現には、そのコンセプトを支えるソフトウェアと、それを効率的に実現するハードウェア技術の支えが必要である。

今日の情報化社会は電子を情報媒体とするシリコンLSI技術の上に構築されてきた。

しかしながら、情報技術に対する人間の欲求はとどまるところを知らず、そのニーズに対してこれまでの電子計算機技術の延長線上で対応し続けることはソフトウェア的にもハードウェア的にも早晚困難になるというのが一般の認識である。

新情報処理では生物としての人間の思考過程に沿った新しい情報処理コンセプトの実現を目指している。そこでは極めて多量の情報を高速に処理するだけでなく、新しい情報処理概念を効率的に実現する革新的ハードウェア技術を実現しなければならない。

光は電子と双壁をなす極めて重要な情報媒体である。光はその取り扱う情報容量が極めて大きいだけでなく、情報媒体として電子にない柔軟性を持ち、これまでの電子を媒体としたエレクトロニックな情報処理技術の弱点をカバーするものとして期待される。

新情報処理技術への光技術の最も容易な導入はインタコネクション技術である。光の膨大な情報伝送能力を生かせば現在の電子計算機が抱える通信ネックの問題を解決し、膨大な電子計算機技術の蓄積を継承しながら、新しい情報処理技術への飛躍が期待される。

光の可能性は情報の流れの革新にとどまらず、新しい情報処理アーキテクチャの創造においてもその寄与が期待される。

超高速光技術は、電子技術では当分実現しそうな超高速パルス発生を可能にし、これを利用したシリアルな超高速演算処理技術の展開が期待できる。

光ニューロ技術では、電子技術では通信ネックからその構築が困難な大規模ニューロネットにおける素子間の完全結合を光の情報伝送容量の大きさを駆使して実現し、複雑で高度な学習や相関演算を実時間処理できるシステムの実現が期待できる。

光の波としての性質を利用すれば、フーリエ変換機能や相関演算などの空間情報のアナログ処理が実現できる。これは従来のエレクトロニクスに対応する技術がなく、光独特の並列情報処理技術として今後の展開が期待されている。

空間情報の符号化、記号置換等の手法、さらに波長符号化といった光独自の並列デジタル技術はアナログ処理の精度の問題をクリアしながら、電子技術では不可能な超並列処理を実現し、超高速論理処理を実現する手法として期待される。

このような光技術の可能性に対し、それを支える要素技術はまだ未成熟であり、我々はようやく光のトランジスタを手に入れつつある段階であるが、その種類もまだ極めて少ないというのが現状である。情報媒体としての光の可能性を十分に引き出すには、時間、空間、波長域それぞれにおいて光独自の情報処理機能を実現する素子技術の開発とその LSI (OEIC) 化を今後積極的に推進してゆく必要がある。OEICのコンセプトは大プロ“光応用計測制御システムの研究開発”(1979~1985)で初めて打出されたもので、現在では、光と電気の融合を象徴する世界共通用語として認められている。

光デバイスといえども光だけで動作するものでなく、そこには電子が何らかの形で関与している。今後の情報処理用デバイスは光と電子という2つの情報媒体の特徴を有効に取り入れていくことが要求される。OEIC技術は、その一步を踏み出した段階であり、21世紀の情報化社会を支える中核技術として、今後とも積極的な育成が必要である。

シリコン LSI技術の今後の展開方向としてウェハスケール集積が考えられているがそこでの通信ネックを解消するには光IO技術とLSI技術の融合が不可欠となろう。

電子デバイス技術自体としては、シリコン LSI技術の延長線上にない、新しいデバイス技術実現への努力が求められる。例えば3次元構造に適したトランジスタ技術の開発は電子デバイスによる超並列処理を目指す上で必要な課題である。

超電導コンピュータは小規模レベルであれば現在の電子計算機の処理能力を大幅に上まわる性能を実現できる見通しがあり、新情報処理技術での利用が考えられる。

光技術、電子デバイス技術共にその可能性、性能向上を追求していくと原子レベルでの量子状態制御がプロセス技術におけるキーテクノロジーとして浮んでくる。新情報処理技術へのハードウェア側からのアプローチとしては、従来のシリコンテクノロジーのポテンシャルを生かしつつ、電子デバイス、光デバイス共に新しいデバイスプロセス技術の確立が必要になろう。

分子・バイオ素子技術は、生物機能に近い高機能素子を人工的に実現するものとして注目されているが、現状では生体や高分子体における情報処理メカニズムの解明に重点があり、その工学的実現はまだ先のことになるだろう。

—— 禁 無 断 転 載 ——

平成 2 年 3 月 発行

発行所 財団法人 日本情報処理開発協会
東京都港区芝公園 3 丁目 5 番 8 号
機 会 振 興 会 館 内
TEL (432) 5405 (代表)

印刷所 山 陽 株 式 会 社
東京都港区虎の門 1 丁目 9 番 5 号
TEL (591) 0240 (代表)

